



飞腾 X100 系列套片 数据手册

(V1.1)

2022 年 03 月

飞腾信息技术有限公司

www.phytium.com.cn

版权声明：

本文档用于指导用户的相关应用和开发工作，版权归属飞腾信息技术有限公司所有，受法律保护。任何未经书面许可的公开、复制、转载、篡改行为将被依法追究法律责任。

免责声明：

本文档仅提供阶段性数据，并不保证该等数据的准确性及完整性。飞腾信息技术有限公司对此文档内容享有最终解释权，且保留随时更新、补充和修订的权利。所有资料如有更改，恕不另行通知。

如有技术问题，可联系 support@phytium.com.cn 获取支持，因不当使用本文档造成的损失，本公司概不承担任何责任。

当前版本

文件标识	
当前版本	1.1
完成日期	2022.3.29

版本历史

版本	修订时间	修订人	修订内容
V1.0	20211028		正式公开版本
V1.1	20220329		● 将 3.3V I/O 电压改为 2.5V ● 章节 2.11 修改 I2S 拓扑图 ● 增加 eDP 描述 ● 章节 5.4 统一描述边沿时间

目录

1 简介1

1.1 产品标识.....2

1.2 技术指标.....1

1.3 电源管理.....1

1.4 功能框图.....2

1.5 封装.....2

1.6 典型应用场景.....2

1.7 术语.....3

1.8 相关文档.....4

2 接口说明5

2.1 接口信号说明.....5

2.1.1 引脚列表.....5

2.1.2 不使用时处理方式.....15

2.1.3 复用引脚说明.....16

2.1.4 Pin Map20

2.2 PCIe 接口.....21

2.2.1 接口特性.....21

2.2.2 信号描述.....21

2.2.3 拓扑结构.....22

2.2.4 AC 电容、校准电阻要求24

2.2.5 PCB 设计建议24

2.3 DDR 内存接口26

2.3.1 接口特性.....26

2.3.2 信号描述.....26

2.3.3 引脚分布.....28

2.3.4 拓扑结构.....28

2.3.5	交换准则.....	31
2.3.6	校准电阻要求.....	32
2.3.7	PCB 设计建议	32
2.4	USB 接口	37
2.4.1	接口特性.....	37
2.4.2	信号描述.....	38
2.4.3	拓扑结构.....	38
2.4.4	PCB 设计建议	40
2.5	DISPLAYPORT 接口	42
2.5.1	接口特性.....	42
2.5.2	信号描述.....	43
2.5.3	拓扑结构.....	44
2.5.4	PCB 设计建议	44
2.6	SATA 接口	45
2.6.1	接口特性.....	45
2.6.2	信号描述.....	46
2.6.3	拓扑结构.....	46
2.6.4	PCB 设计建议	47
2.7	QSPI 接口	48
2.7.1	接口特性.....	48
2.7.2	信号描述.....	48
2.7.3	接口时序.....	49
2.7.4	拓扑结构.....	49
2.7.5	布线要求.....	50
2.8	SPI 接口	50
2.8.1	接口特性.....	50
2.8.2	信号描述.....	51
2.8.3	接口时序.....	51
2.8.4	拓扑结构.....	52

2.9	SD/SDIO/eMMC 接口	52
2.9.1	接口特性.....	52
2.9.2	信号描述.....	52
2.9.3	接口时序.....	53
2.9.4	拓扑结构.....	53
2.9.5	布线要求.....	54
2.10	NANDFLASH 接口	54
2.10.1	接口特性.....	54
2.10.2	信号描述.....	55
2.10.3	接口时序.....	55
2.10.4	拓扑结构.....	60
2.10.5	布线要求.....	61
2.11	I2S 接口	61
2.11.1	接口特性.....	61
2.11.2	信号描述.....	61
2.11.3	接口时序.....	62
2.11.4	拓扑结构.....	62
2.12	PS/2 接口	62
2.12.1	接口特性.....	63
2.12.2	信号描述.....	63
2.12.3	接口时序.....	63
2.12.4	拓扑结构.....	63
2.13	CAN 接口	64
2.13.1	接口特性.....	64
2.13.2	信号描述.....	64
2.13.3	接口时序.....	64
2.13.4	拓扑结构.....	64
2.14	MIO 接口	64
2.14.1	接口特性.....	64

2.14.2	信号描述.....	65
2.14.3	MIO 内部结构.....	65
2.15	I2C 接口.....	65
2.15.1	接口特性.....	65
2.15.2	信号描述.....	66
2.15.3	接口时序.....	66
2.15.4	拓扑结构.....	67
2.16	UART 接口.....	67
2.16.1	接口特性.....	68
2.16.2	信号描述.....	68
2.16.3	接口时序.....	68
2.16.4	拓扑结构.....	69
2.17	PWM 接口.....	69
2.17.1	接口特性.....	69
2.17.2	信号描述.....	69
2.17.3	拓扑结构.....	69
2.18	SMBUS 接口.....	70
2.18.1	接口特性.....	70
2.18.2	信号描述.....	70
2.18.3	接口时序.....	70
2.18.4	拓扑结构.....	70
2.19	GPIO/SE_GPIO 接口.....	71
2.19.1	接口特性.....	71
2.19.2	信号描述.....	71
2.19.3	拓扑结构.....	71
2.20	CLOCK 接口.....	71
2.20.1	接口特性.....	71
2.20.2	信号描述.....	72
2.20.3	拓扑结构.....	72

2.20.4	布线要求.....	72
2.21	系统功能接口.....	73
2.22	SYSTEM IO 接口.....	75
2.22.1	时钟电路.....	75
2.22.2	复位和开机电路.....	75
2.22.3	vBIOS 固件电路	76
3	技术	77
3.1	安全机制.....	77
4	电源管理	78
4.1	电源参数.....	78
4.2	电源状态.....	79
4.2.1	S4/S5→S0	80
4.2.2	S0→S4/S5	81
4.2.3	S3→S0.....	81
4.2.4	S0→S3.....	83
4.3	上电时序.....	85
4.4	电源方案.....	86
4.5	电容选型.....	87
5	电气特性	89
5.1	极限工作条件.....	89
5.2	典型工作参数.....	89
5.3	通用引脚 DC 电气特性	89
5.4	通用引脚 AC 特性	90
5.5	DDR 引脚电气特性	91
5.6	PCIe 引脚电气特性.....	91
5.7	PHY 电气特性.....	92
5.7.1	公用模块电气特性.....	92

5.7.2	发送模块电气特性.....	92
5.7.3	接收模块电气特性.....	92
5.7.4	公共模块电气特性.....	92
5.7.5	校准外接电阻参考说明.....	93
5.7.6	差分时钟参考说明.....	93
5.8	SATA 引脚电气特性.....	93
5.9	USB 引脚电气特性.....	94
6	通用 PCB 设计指导	95
6.1	阻抗要求.....	95
6.1.1	单端微带线.....	95
6.1.2	差分微带线.....	95
6.1.3	单端带状线.....	95
6.1.4	差分带状线.....	96
6.2	布线区域划分.....	96
6.3	差分信号布线.....	97
6.4	信号回流孔.....	98
6.5	参考平面设计.....	98
6.6	高速信号残桩.....	99
6.7	信号串扰.....	100
6.8	阻抗不连续.....	100
6.9	低速接口 PCB 设计建议	101
6.10	电源 PCB 设计建议	101
6.11	PCB 叠层设计	102
6.11.1	8 层板叠层.....	102
7	封装特性说明	104
7.1	封装尺寸.....	104
7.2	扣合力.....	106
7.3	PCB 封装设计推荐	106

7.4	推荐装焊曲线.....	106
-----	-------------	-----

Phytium 飞腾

图目录

图 1.1	Marking_1 标识.....	2
图 1.2	Marking_2 标识.....	3
图 1.3	功能框图.....	2
图 1.4	台式机/一体机应用场景案例	2
图 1.5	笔记本电脑应用场景案例.....	3
图 1.6	显卡应用场景案例.....	3
图 2.1	芯片框图.....	5
图 2.2	BGA MAP 结构图.....	20
图 2.3	上行链路 X16 拓扑结构.....	22
图 2.4	上行链路 X8 拓扑结构.....	22
图 2.5	上行链路 X4 连接拓扑结构.....	23
图 2.6	下行链路 X2 连接拓扑结构.....	23
图 2.7	SATA 与 PCIe 自适应连接拓扑图	23
图 2.8	外部校准电阻参考电路.....	24
图 2.9	AC 耦合电容 PCB 摆放示意图	25
图 2.10	DDR 引脚分布（顶视图）	28
图 2.11	LPDDR4 SDRAM 单 RANK 结构图	29
图 2.12	DDR4 SDRAM 单 RANK 结构图.....	30
图 2.13	DDR 校准电阻参考电路	32
图 2.14	LPDDR4 X32 显存颗粒布线示意图（两层布线）	33
图 2.15	LPDDR4 单个颗粒 AC 信号 Fly-by 拓扑走线示意图	33
图 2.16	LPDDR4 颗粒 AC 信号 T 拓扑走线示意图	34
图 2.17	DDR4 X16 显存颗粒布线示意图（四层布线）	34
图 2.18	DDR4 SDRAM 端接设计参考.....	35
图 2.19	USB-A 接口连接拓扑.....	38
图 2.20	USB-C 接口连接拓扑一	39
图 2.21	USB-C 接口连接拓扑二.....	39

图 2.22	全功能 USB-C 接口连接拓扑	40
图 2.23	USB 过流保护连接拓扑	40
图 2.24	耦合电容 PCB 布局示意图	41
图 2.25	ESD 器件 PCB 布局示意图	42
图 2.26	DisplayPort 连接拓扑	44
图 2.27	ESD 器件和耦合电容布局参考	45
图 2.28	SATA 连接拓扑	47
图 2.29	耦合电容布局参考	48
图 2.30	QSPI 总线时序	49
图 2.31	QSPI 单从设备拓扑	49
图 2.32	QSPI 多从设备拓扑	50
图 2.33	SPI 时序图	52
图 2.34	SD 卡时钟数据输入输出时序图（标准模式）	53
图 2.35	SD 卡 4 线拓扑	53
图 2.36	eMMC 拓扑	54
图 2.37	SDR 命令发送	56
图 2.38	SDR 地址发送	56
图 2.39	SDR 数据发送	56
图 2.40	SDR 数据接收	57
图 2.41	DDR1 命令发送	58
图 2.42	DDR1 地址发送	58
图 2.43	DDR1 数据发送	58
图 2.44	DDR1 数据接收	59
图 2.45	DDR2 命令发送	59
图 2.46	DDR2 地址发送	60
图 2.47	DDR2 数据发送	60
图 2.48	DDR2 数据接收	60
图 2.49	X100 NandFlash 拓扑	61
图 2.50	I2S 时序图	62

图 2.51	I2S 设备连接拓扑	62
图 2.52	主控接收时序图	63
图 2.53	PS/2 主控发送时序图	63
图 2.54	CAN 时序图	64
图 2.55	MIO 内部结构	65
图 2.56	I2C 接收时序	67
图 2.57	I2C 发送时序	67
图 2.58	I2C 仅从设备接口与 CPU 连接拓扑	67
图 2.59	MIO I2C 与外设连接拓扑	67
图 2.60	UART 时序图	69
图 2.61	CLOCK 连接拓扑	72
图 2.62	最小系统主时钟参考电路	75
图 2.63	复位和开机电路场景一（X100 控制电源）	76
图 2.64	复位和开机电路场景二（EC 控制电源）	76
图 4.1	开机时序控制图	80
图 4.2	关机时序控制图	81
图 4.3	唤醒时序控制图	82
图 4.4	唤醒时序控制图	83
图 4.5	STR 时序控制图	84
图 4.6	STR 时序控制图	85
图 4.7	X100 不控外部电源场景下的上电时序示意图	85
图 4.8	X100 控制外部电源场景下的上电时序示意图	86
图 4.9	X100 板卡形态 LPDDR4 颗粒电源方案示意图	86
图 4.10	X100 板卡形态 DDR4 颗粒电源方案示意图	87
图 4.11	电容放置方式	88
图 5.1	PAD 输出负载电路	90
图 5.2	PAD 输出波形	90
图 6.1	单端微带线	95
图 6.2	差分微带线	95

图 6.3	单端带状线.....	95
图 6.4	差分带状线.....	96
图 6.5	布线区域划分示意图.....	96
图 6.6	L1 芯片扇出线示意图.....	97
图 6.7	等长绕线参考示意图一.....	97
图 6.8	等长绕线参考示意图二.....	97
图 6.9	耦合电容摆放参考.....	98
图 6.10	回流孔摆放参考一.....	98
图 6.11	回流孔摆放参考二.....	98
图 6.12	跨平面参考处理.....	99
图 6.13	信号换层过孔残桩示意图.....	99
图 6.14	信号走线的残桩示意图一.....	100
图 6.15	信号走线的残桩示意图二.....	100
图 6.16	电源反馈信号走线示意图.....	102
图 6.17	电源信号 BGA 扇出示意图.....	102
图 7.1	X100 标准版机械尺寸图.....	104
图 7.2	X100 移动版(无盖)机械尺寸图.....	105
图 7.3	PCB 封装设计推荐.....	106
图 7.4	推荐装焊温度曲线.....	107

表目录

表 1-1	飞腾 X100 系列套片产品列表	1
表 1-2	Marking_1 丝印说明	2
表 1-3	Marking_2 丝印说明	3
表 1-4	术语和缩略语表	3
表 2-1	通用信号引脚信息	5
表 2-2	电源引脚信息	14
表 2-3	特殊引脚 NC 处理方式.....	15
表 2-4	引脚复用表	16
表 2-5	PCIe 接口描述	21
表 2-6	PCIe 信号描述	21
表 2-7	PCIe 链路 AC 耦合电容.....	24
表 2-8	PCIe 布线要求	24
表 2-9	支持的 DDR4 时序参数组合	26
表 2-10	支持的 LPDDR4 时序参数组合	26
表 2-11	DDR4 与 LPDDR4 信号描述.....	27
表 2-12	DDR4 方案 Slice 分组表.....	31
表 2-13	LPDDR4 方案 Slice 分组表	31
表 2-14	LPDDR4 X32 SDRAM 布线要求（点对点/fly-by 拓扑）	35
表 2-15	LPDDR4 X32 SDRAM 布线要求（点对点/T 拓扑）	36
表 2-16	DDR4 X16 SDRAM 布线要求(Fly-by 拓扑)	36
表 2-17	USB 接口描述	38
表 2-18	USB 布线要求	40
表 2-19	DisplayPort 接口描述	43
表 2-20	DisplayPort 布线要求	44
表 2-21	SATA 接口描述.....	46
表 2-22	SATA 布线要求.....	47
表 2-23	QSPI 接口描述.....	48

表 2-24	QSPI 接口时序说明.....	49
表 2-25	QSPI 接口布线要求.....	50
表 2-26	SPI 接口描述	51
表 2-27	SPI 接口时序说明	51
表 2-28	SD/SDIO/eMMC 接口描述	52
表 2-29	标准模式的总线时序参数值	53
表 2-30	SD/SDIO/eMMC 接口布线要求.....	54
表 2-31	NandFlash 接口描述.....	55
表 2-32	SDR 模式电特性说明	55
表 2-33	DDR1 模式电特性说明.....	57
表 2-34	DDR2 模式电特性说明.....	59
表 2-35	NandFlash 接口布线要求.....	61
表 2-36	I2S 接口描述.....	61
表 2-37	I2S 接口时序说明.....	62
表 2-38	PS/2 接口信号描述.....	63
表 2-39	PS/2 接口电特性.....	63
表 2-40	CAN 接口描述.....	64
表 2-41	CAN 接口时序说明.....	64
表 2-42	MIO 复用对照表	65
表 2-43	I2C 仅从设备接口描述	66
表 2-44	MIO I2C 接口描述	66
表 2-45	MIO I2C 接口电特性	66
表 2-46	UART 接口描述.....	68
表 2-47	UART 接口电特性.....	68
表 2-48	PWM 接口描述.....	69
表 2-49	SMBus 接口描述	70
表 2-50	GPIO/SEGPIO 接口描述.....	71
表 2-51	单端时钟指标参数	72
表 2-52	CLOCK 接口描述.....	72

表 2-53	CLOCK 布线要求.....	72
表 2-54	系统功能接口	73
表 2-55	最小系统主时钟参数要求	75
表 4-1	核心电源参数说明	78
表 4-2	电源电压电流参数	78
表 4-3	电源状态	79
表 4-4	电源状态说明	79
表 4-5	开机时序控制表	80
表 4-6	关机时序控制表	81
表 4-7	唤醒时序控制表	82
表 4-8	唤醒时序控制表	83
表 4-9	STR 时序控制表	83
表 4-10	STR 时序控制表	84
表 5-1	典型工作参数	89
表 5-2	通用 pad 引脚电气特性(1.8V).....	89
表 5-3	通用 pad 引脚电气特性(2.5V).....	90
表 5-4	通用 pad 交流参数(1.8V).....	90
表 5-5	通用 pad 交流参数(2.5V).....	90
表 5-6	DDR4 DC 输入电压	91
表 5-7	DDR4 AC 输入电压	91
表 5-8	LPDDR4 AC/DC 输入电压	91
表 5-9	PCIe 引脚电气特性	91
表 5-10	外部参考时钟电平规范	92
表 5-11	偏斜特性	92
表 5-12	发送模块电气特性	92
表 5-13	接收模块电气特性	92
表 5-14	公共模块电气特性	92
表 5-15	校准外接电阻参考说明	93
表 5-16	差分时钟参考说明	93

表 5-17 SATA TX/TX 信号组 DC 电气特性93

表 5-18 SATA AC 电气特性和接口时序93

表 5-19 USB 接口电气特性94

表 6-1 单端微带线95

表 6-2 差分微带线95

表 6-3 单端带状线95

表 6-4 差分带状线96

表 6-5 8 层板叠层设计一(PCIe 卡和台式机场景).....102

表 6-6 8 层板叠层设计一(笔记本场景).....103

表 7-1 X100 标准版机械尺寸数据104

表 7-2 X100 移动版(无盖)机械尺寸数据.....105

1 简介

飞腾 X100 系列是飞腾处理器的配套芯片，可配合飞腾系列处理器，构成台式机、一体机或笔记本的完整解决方案；也可作为显示芯片构建独立显卡，用于各类终端及服务器类应用场景。该系列共包括 7 款产品，各产品的基本性能参数详见表 1-1，本手册正文部分未作特殊说明的，均为对 X100 标准版的描述(下文均称作“X100”)。

表 1-1 飞腾X100 系列套片产品列表

产品型号	X100 标准版	X100 基础版	X100 工业版	X100 工业版 (无 GPU)	X100 移动版 (无盖)	X100 标准版 (无盖)	X100 基础版 (无盖)
Marking	Phytium 飞腾 B997-C	Phytium 飞腾 B997-C-B	Phytium 飞腾 B997-I-G	Phytium 飞腾 B997-I	Phytium 飞腾 B997-C	Phytium 飞腾 B997-C-S	Phytium 飞腾 B997-C-B
订货号	X100_C	X100_C_B	X100_I_G	X100_I	X100_C1	X100_C_S	X100_C1_B
GPU 频率	600MHz	400MHz	400MHz	无 GPU	400MHz	600MHz	400MHz
PCIe	6 路 X1+2 路 X2 PCIe3.0，其中两路 X1 与 SATA 复用						
DDR	1×DDR4/2666	1×DDR4/2400	1×DDR4/2400	无	1×DDR4/2400	1×DDR4/2666	1×DDR4/2400
TDP ^[1]	15W	11W	12W	11W	10W	15W	11W
内核电压	0.88V	0.88 V	0.8 V	0.8 V	0.8 V	0.88 V	0.88 V
封装	31mm*31mm FCLBGA 封装	31mm*31mm FCLBGA 封装	31mm*31mm FCLBGA 封装	31mm*31mm FCLBGA 封装	31mm*31mm FCBGA 封装	31mm*31mm FCBGA 封装	31mm*31mm FCBGA 封装
厚度	3.172mm	3.172mm	3.172mm	3.172mm	2.445mm	2.445mm	2.445mm
质量等级	商业级	商业级	工业级	工业级	商业级	商业级	商业级
MSL	<=4	<=4	<=3	<=3	<=4	<=4	<=4
ESD	>=1000V	>=1000V	>=1000V	>=1000V	>=1000V	>=1000V	>=1000V
环规	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0	ROHS2.0
工作结温(Tj)	0~85 ℃	0~85 ℃	-40~105 ℃	-40~105 ℃	0~85 ℃	0~85 ℃	0~85 ℃

注 1: TDP 功耗为芯片最大结温下实测功耗的最大平均值(负载: glmark+1080P@60fps 视频解码+满外设, 满外设为 PCIe: 8 个 nvme 卡; USB: 6 个 3.0U 盘+2 个键鼠, 同时运行 fio 混合随机读写负载)

1.1 产品标识

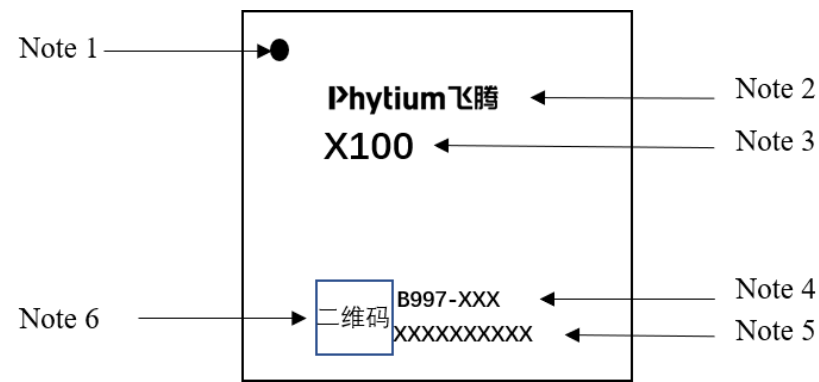


图 1.1 Marking_1标识

表 1-2 Marking_1丝印说明

Note 1	Pin 点		
Note 2	公司 LOGO		
Note 3	芯片产品名		
Note 4	XXXX	B997	封装球数
		C	X100 标准版
		C-B	X100 基础版
		I-G	X100 工业版
Note 5	芯片生产批次		
	芯片二维码记录散热盖, 基板等信息		

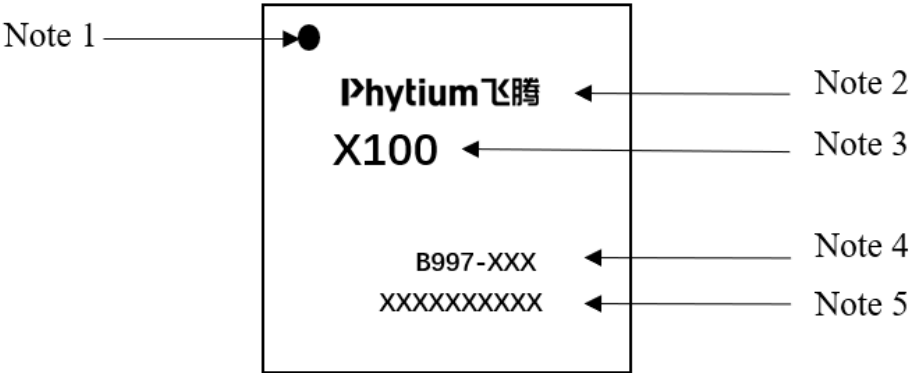


图 1.2 Marking_2标识

表 1-3 Marking_2丝印说明

Note 1	Pin 点		
Note 2	公司 LOGO		
Note 3	芯片产品名		
Note 4	B997		封装球数
	XXXX	C	X100 移动版(无盖)
		C-S	X100 标准版(无盖)
		C-B	X100 基础版(无盖)
Note 5	芯片生产批次		

1.2 技术指标

X100 的主要结构指标如下：

- 集成 1 个低功耗 GPU，主频请参考表 1-1；
- 集成 1 个 VideoDecoder，支持 4K@30fps 解码率，支持 H.264/265、MPEG4、MPEG2、等主流编码格式；
- 集成 3 路 DisplayPort1.4/ embedded DisplayPort1.3 显示接口，其中两路最大分辨率支持 3840×2160@60Hz，一路最大分辨率支持 1366×768@60Hz；
- 集成 4 路 I2S，支持高清音频播放，其中 3 路固定服务于 DisplayPort 显示接口，另有 1 路可接 I2S Codec，执行录音和播放功能；
- 集成 1 个 64 位 DDR4/LPDDR4 显存控制器，支持显存容量可达 8GB，最高速率 2666MT/s；
- 集成 1 路 X16 的 PCIe3.0 上行链路接口，8 路 PCIe3.0 下行链路接口，包括 2 路 X2 和 6 路 X1，其中有 2 路 X1 与 SATA3.0 接口复用；
- 集成 4 路 SATA3.0 接口；
- 集成 8 路独立的 USB3.1 Gen1 接口；
- 集成 2 个 SD/SDIO/eMMC 控制器，支持 SD3.0、SDIO3.0 和 eMMC5.0 协议规范，不支持 SDR 和 DDR 模式；
- 集成 1 个 NandFlash 控制器，支持 ONFI2.2 协议；
- 集成 4 个 UART、96 个 GPIO、8 个 MIO(可配置为 UART、I2C、PWM 三种模式)、4 个 PWM、1 个 QSPI、2 个通用 SPI Master、3 个 SMBus 控制器、2 个 CAN 控制器；
- 2 路单端时钟驱动接口；
- 集成整机控制功能，包括上下电控制、复位控制、低功耗控制等；
- 集成温度传感器，可实时监测片内温度，精度 $\pm 5^{\circ}\text{C}$ 。

1.3 电源管理

- 支持 SE 电源域以外所有域电源关断(SE 电源域包括 VDD_STB、VDDIO18_STB 和 VDDIO25_STB，其他电源请参考表 4-2)；
- 支持 GPU、DC 动态频率调整；
- 支持待机、休眠模式；

1.4 功能框图

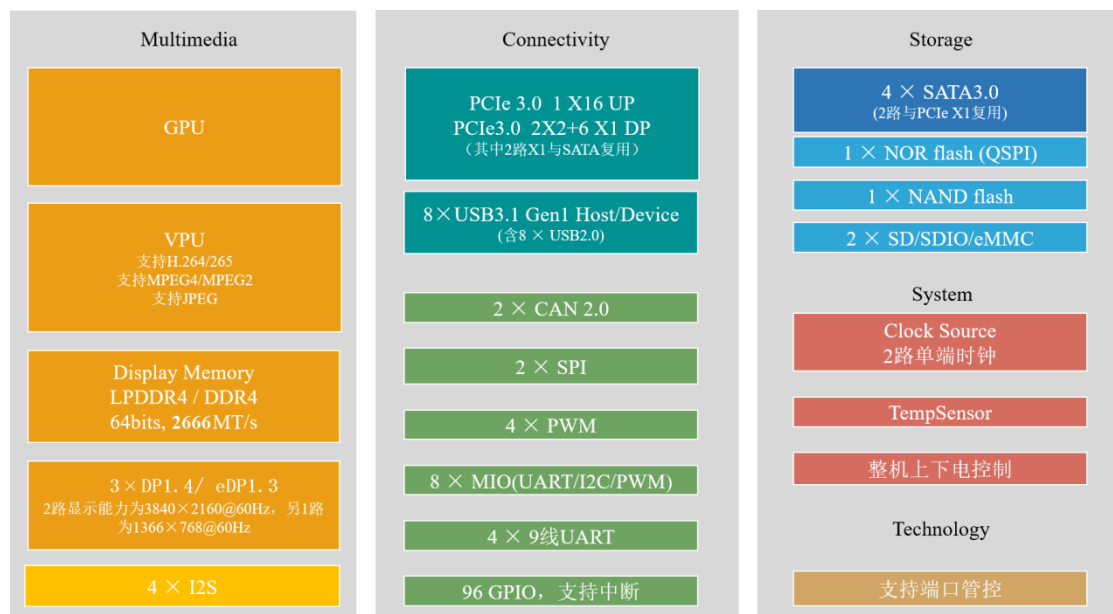


图 1.3 功能框图

1.5 封装

X100 采用 997 引脚塑封 FCLBGA 封装，芯片尺寸为 31mm*31mm，焊球采用无铅 SAC305 材料，具体封装参数信息详见第七章。

1.6 典型应用场景

X100 可以根据实际应用需求，设计出不同的硬件配置，当前提供三种典型应用方案：台式机/一体机应用场景如图 1.4、笔记本应用场景如图 1.5，以及显卡应用场景如图 1.6。用户可以根据需求裁剪、添加、替换外设模块。

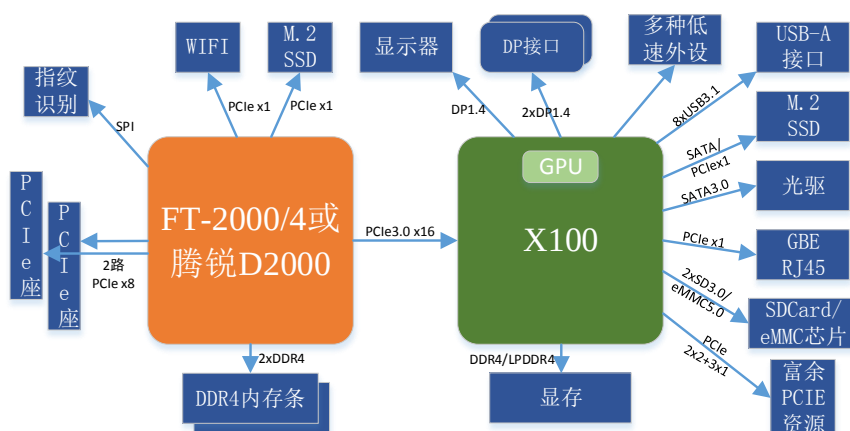


图 1.4 台式机/一体机应用场景案例

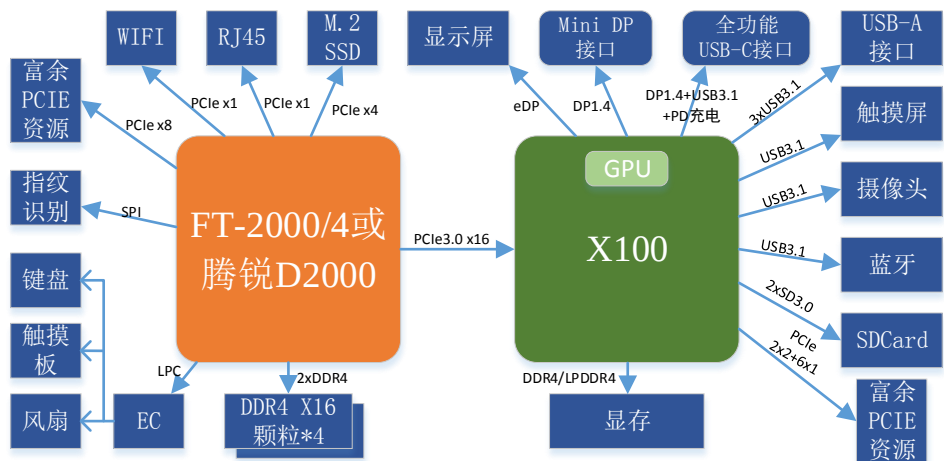


图 1.5 笔记本电脑应用场景案例

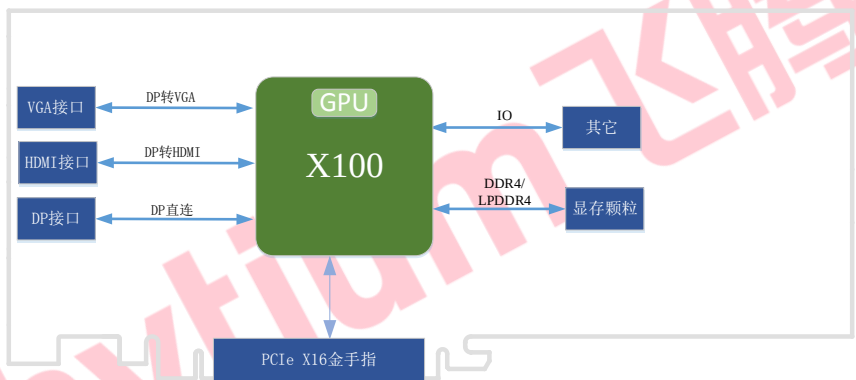


图 1.6 显卡应用场景案例

1.7 术语

表 1-4 术语和缩略语表

术语	全称	解释
CPU	Central Processing Unit	中央处理器
DC	Display Controller	显示控制器
DDR	Double Data Rate SDRAM	双倍速率同步动态随机存储器
DK	Dielectric Constant	介电常数
DP	DisplayPort	显示接口
eDP	Embedded DisplayPort	嵌入式显示接口
eMMC	Embedded Multi Media Card	内嵌式多媒体存储卡
ESD	Electro-Static discharge	静电释放
ECC	Error Correcting Code	错误检查和纠正
GND	Ground	接地端
GPIO	General-Purpose Input/Output	通用输入/输出接口
GPU	Graphics Processing Unit	图形处理器
HDMI	High Definition Multimedia Interface	高清晰度多媒体接口
I2C	Inter-Integrated Circuit	两线式串行总线

I2S	Inter-IC Sound	集成电路内置音频总线
LPDDR	Low Power Double Data Rate SDRAM	低功耗双倍速率同步动态随机存储器
LVC MOS	Low-Voltage Complementary Metal Oxide Semiconductor	低电压互补金属氧化物半导体电平
LVDS	Low-Voltage Differential Signaling	低电压差分信号
MIO	Multiple Input/Output	一种多功能输入/输出接口
NandFlash	NAND Flash	NAND 闪存
NC	No Connect	无连接，不使用状态
ONFI	Open NAND Flash Interface	开放式 NAND 闪存接口
PCIe	Peripheral Component Interconnect Express	高速串行计算机扩展总线标准
USB PD	USB Power Delivery	USB 功率传输协议
PS2	PS2	一种计算机输入装置接口，用于连接鼠标和键盘
PWM	Pulse-Width Modulation	脉冲宽度调制
QSPI	Quad Serial Peripheral Interface	四线式串行外设接口
SATA	Serial Advanced Technology Attachment	一种串行硬件驱动器接口
SD	Secure Digital Memory Card	安全数字存储
SDIO	Serial Digital Input/Outp	串行数字输入输出
SDRAM	Synchronous Dynamic Random Access Memory	同步动态随机存取存储器
SMBus	System Management Bus	系统管理总线
SPI	Serial Peripheral Interface	串行外设接口
SE	system engine	系统管理控制器
TBD	To Be Determined	待确定
TDP	Thermal Design Power	散热设计功耗
UART	Universal Asynchronous Receiver/Transmitter	通用异步收发器
USB	Universal Serial Bus	通用串行总线

1.8 相关文档

- 1、飞腾 X100 软件编程手册

2 接口说明

2.1 接口信号说明

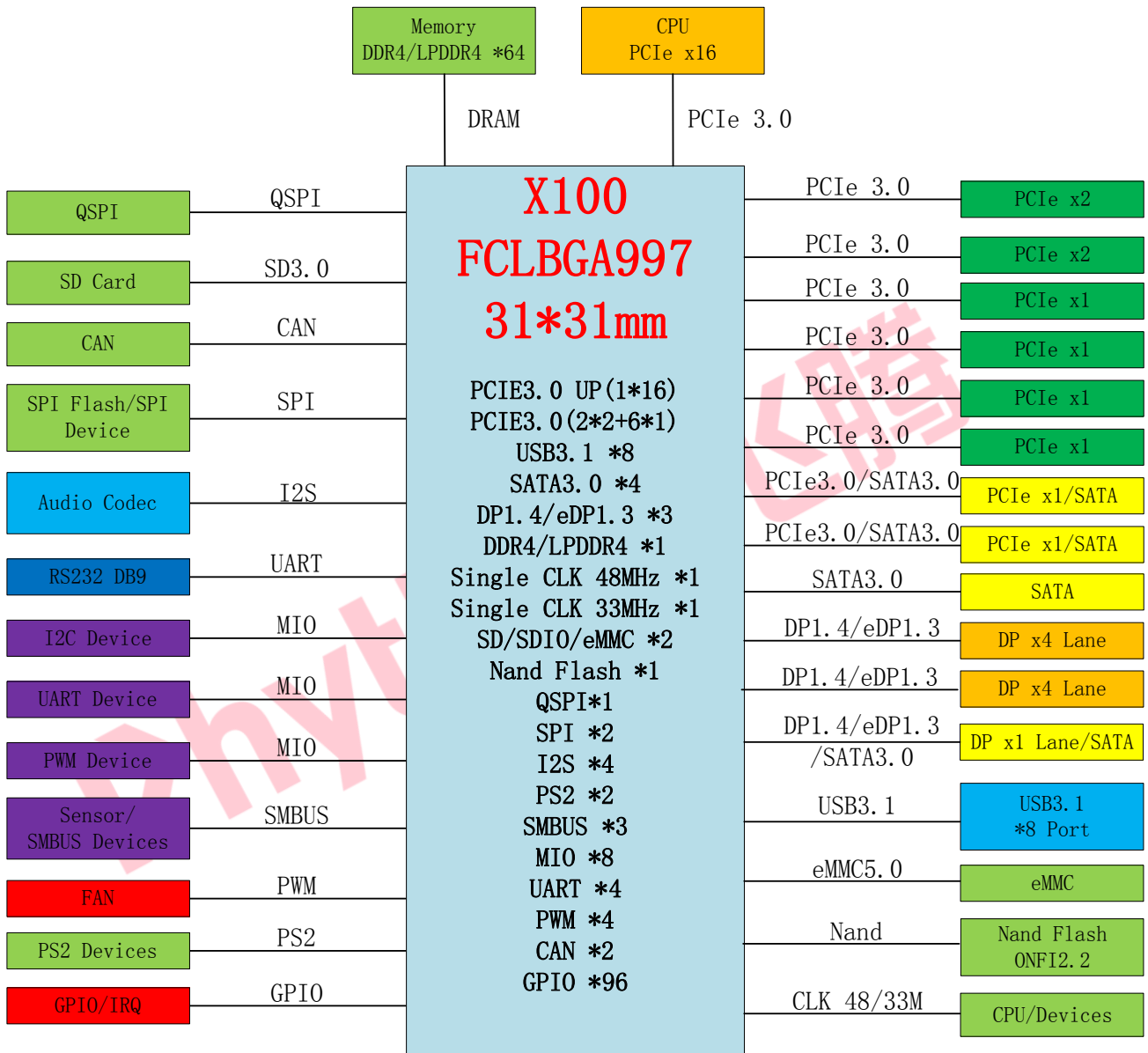


图 2.1 芯片框图

2.1.1 引脚列表

2.1.1.1 通用信号引脚信息

表 2-1 通用信号引脚信息

引脚 1	信号名 1	引脚 2	信号名 2
AA59	DDR_A0/L_CA0	AL53	DDR_DQ8
W59	DDR_A1/L_CA1	AN55	DDR_DQ9
V50	DDR_A2/L_CA2	AP48	DDR_DQ10
Y52	DDR_A3/L_CA3	AM50	DDR_DQ11

R59	DDR_A4/L_CA4	AL51	DDR_DQ12
W49	DDR_A5/L_CA5	AL57	DDR_DQ13
V52	DDR_A6/U_CA0	AN49	DDR_DQ14
U55	DDR_A7/U_CA1	AL55	DDR_DQ15
R55	DDR_A8/U_CA2	AF50	DDR_DQ16
U49	DDR_A9/U_CA3	AK52	DDR_DQ17
Y50	DDR_A10/U_CA4	AF52	DDR_DQ18
P58	DDR_A11/U_CA5	AK50	DDR_DQ19
U53	DDR_A12	AE53	DDR_DQ20
AB52	DDR_A13	AJ53	DDR_DQ21
AB50	DDR_A14/WE_N/CS_N11	AJ49	DDR_DQ22
AB58	DDR_A15/CAS_N/CS_N10	AE49	DDR_DQ23
AA55	DDR_A16/RAS_N/CS_N9	AK58	DDR_DQ24
AC59	DDR_A17	AK56	DDR_DQ25
Y56	DDR_BA0/CS_N12	AE55	DDR_DQ26
W53	DDR_BA1/CS_N13	AF58	DDR_DQ27
R49	DDR_BG0/CS_N7	AJ55	DDR_DQ28
R53	DDR_BG1	AE59	DDR_DQ29
AD58	DDR_C0	AF56	DDR_DQ30
N53	DDR_CKE0	AJ59	DDR_DQ31
N55	DDR_CKE1	H58	DDR_DQ32
P50	DDR_CKE2	M58	DDR_DQ33
AC53	DDR_CKE3	M56	DDR_DQ34
AA49	DDR_CS_N0	G59	DDR_DQ35
AD56	DDR_CS_N1	G55	DDR_DQ36
AA53	DDR_CS_N2	H56	DDR_DQ37
AC55	DDR_CS_N3	L59	DDR_DQ38
AD50	DDR_ODT0/CS_N4	L55	DDR_DQ39
AD52	DDR_ODT1/CS_N5	G53	DDR_DQ40
AB56	DDR_ODT2/CS_N6	M52	DDR_DQ41
P52	DDR_ODT3/CS_N8	H52	DDR_DQ42
T42	DDR_ZN_SENSE	M50	DDR_DQ43
N59	DDR_ACT_N/CS_N14	H50	DDR_DQ44
P56	DDR_ALERT_N	L49	DDR_DQ45
N49	DDR_RESET_N	G49	DDR_DQ46
Y58	DDR_PAR/CS_N15	L53	DDR_DQ47
U59	DDR_CLK_T0	F56	DDR_DQ48
V58	DDR_CLK_C0	F58	DDR_DQ49
W55	DDR_CLK_T1	A55	DDR_DQ50
V56	DDR_CLK_C1	B56	DDR_DQ51
T52	DDR_CLK_T2	E55	DDR_DQ52
T50	DDR_CLK_C2	E59	DDR_DQ53

T58	DDR_CLK_T3	B52	DDR_DQ54
T56	DDR_CLK_C3	A53	DDR_DQ55
AL43	DDR_DQS_C0	B48	DDR_DQ56
AP52	DDR_DQS_C1	F52	DDR_DQ57
AG49	DDR_DQS_C2	F50	DDR_DQ58
AG55	DDR_DQS_C3	B50	DDR_DQ59
J59	DDR_DQS_C4	A49	DDR_DQ60
J53	DDR_DQS_C5	A51	DDR_DQ61
D58	DDR_DQS_C6	E53	DDR_DQ62
D50	DDR_DQS_C7	E49	DDR_DQ63
AP44	DDR_DQS_C9	AM42	DDR_DQS_T0
AN53	DDR_DQS_C10	AN51	DDR_DQS_T1
AH52	DDR_DQS_C11	AH50	DDR_DQS_T2
AH58	DDR_DQS_C12	AH56	DDR_DQS_T3
K56	DDR_DQS_C13	K58	DDR_DQS_T4
K50	DDR_DQS_C14	K52	DDR_DQS_T5
C55	DDR_DQS_C15	D56	DDR_DQS_T6
D48	DDR_DQS_C16	D52	DDR_DQS_T7
AN39	DDR_DQ0	AN45	DDR_DQS_T9/DBI0/DM0
AM40	DDR_DQ1	AP54	DDR_DQS_T10/DBI1/DM1
AK46	DDR_DQ2	AG53	DDR_DQS_T11/DBI2/DM2
AP46	DDR_DQ3	AG59	DDR_DQS_T12/DBI3/DM3
AL47	DDR_DQ4	J55	DDR_DQS_T13/DBI4/DM4
AN41	DDR_DQ5	J49	DDR_DQS_T14/DBI5/DM5
AM46	DDR_DQ6	C53	DDR_DQS_T15/DBI6/DM6
AP42	DDR_DQ7	C49	DDR_DQS_T16/DBI7/DM7
A45	PCIE_UP_RXP[0]	E45	PCIE_UP_TXP[0]
A43	PCIE_UP_RXP[1]	E43	PCIE_UP_TXP[1]
A39	PCIE_UP_RXP[2]	E39	PCIE_UP_TXP[2]
A37	PCIE_UP_RXP[3]	E37	PCIE_UP_TXP[3]
A33	PCIE_UP_RXP[4]	E35	PCIE_UP_TXP[4]
A31	PCIE_UP_RXP[5]	E33	PCIE_UP_TXP[5]
A27	PCIE_UP_RXP[6]	E27	PCIE_UP_TXP[6]
A25	PCIE_UP_RXP[7]	E25	PCIE_UP_TXP[7]
B22	PCIE_UP_RXP[8]	D22	PCIE_UP_TXP[8]
B20	PCIE_UP_RXP[9]	D20	PCIE_UP_TXP[9]
B16	PCIE_UP_RXP[10]	D16	PCIE_UP_TXP[10]
B14	PCIE_UP_RXP[11]	D14	PCIE_UP_TXP[11]
B10	PCIE_UP_RXP[12]	D10	PCIE_UP_TXP[12]
B8	PCIE_UP_RXP[13]	D8	PCIE_UP_TXP[13]
B6	PCIE_UP_RXP[14]	G7	PCIE_UP_TXP[14]
B4	PCIE_UP_RXP[15]	J7	PCIE_UP_TXP[15]

B46	PCIE_UP_RXN[0]	D46	PCIE_UP_TXN[0]
B44	PCIE_UP_RXN[1]	D44	PCIE_UP_TXN[1]
B40	PCIE_UP_RXN[2]	D40	PCIE_UP_TXN[2]
B38	PCIE_UP_RXN[3]	D38	PCIE_UP_TXN[3]
B34	PCIE_UP_RXN[4]	D34	PCIE_UP_TXN[4]
B32	PCIE_UP_RXN[5]	D32	PCIE_UP_TXN[5]
B28	PCIE_UP_RXN[6]	D28	PCIE_UP_TXN[6]
B26	PCIE_UP_RXN[7]	D26	PCIE_UP_TXN[7]
A21	PCIE_UP_RXN[8]	E21	PCIE_UP_TXN[8]
A19	PCIE_UP_RXN[9]	E19	PCIE_UP_TXN[9]
A15	PCIE_UP_RXN[10]	E15	PCIE_UP_TXN[10]
A13	PCIE_UP_RXN[11]	E13	PCIE_UP_TXN[11]
A9	PCIE_UP_RXN[12]	E9	PCIE_UP_TXN[12]
A7	PCIE_UP_RXN[13]	E7	PCIE_UP_TXN[13]
C5	PCIE_UP_RXN[14]	H6	PCIE_UP_TXN[14]
C3	PCIE_UP_RXN[15]	J9	PCIE_UP_TXN[15]
E31	PCIE_UP_REFCLK_P	F32	PCIE_UP_REXT0
F30	PCIE_UP_REFCLK_N	F26	PCIE_UP_REXT1
F38	PCIE_UP_ATB0	F36	PCIE_UP_ATB1
AN13	PCIE_DOWN0_TXP[0]	AN25	PCIE_DOWN3_TXP
AP12	PCIE_DOWN0_TXN[0]	AP24	PCIE_DOWN3_TXN
AK12	PCIE_DOWN0_RXP[0]	AK24	PCIE_DOWN3_RXP
AL13	PCIE_DOWN0_RXN[0]	AL25	PCIE_DOWN3_RXN
AN15	PCIE_DOWN0_TXP[1]	AP28	PCIE_DOWN4_TXP
AP14	PCIE_DOWN0_TXN[1]	AN27	PCIE_DOWN4_TXN
AK14	PCIE_DOWN0_RXP[1]	AK28	PCIE_DOWN4_RXP
AL15	PCIE_DOWN0_RXN[1]	AL27	PCIE_DOWN4_RXN
AP18	PCIE_DOWN1_TXP[0]	AP30	PCIE_DOWN5_TXP
AN17	PCIE_DOWN1_TXN[0]	AN29	PCIE_DOWN5_TXN
AK18	PCIE_DOWN1_RXP[0]	AK30	PCIE_DOWN5_RXP
AL17	PCIE_DOWN1_RXN[0]	AL29	PCIE_DOWN5_RXN
AP20	PCIE_DOWN1_TXP[1]	AL33	SATA0_TXP/PCIE_DOWN6_TXP
AN19	PCIE_DOWN1_TXN[1]	AK32	SATA0_TXN/PCIE_DOWN6_TXN
AK20	PCIE_DOWN1_RXP[1]	AM30	SATA0_RXP/PCIE_DOWN6_RXP
AL19	PCIE_DOWN1_RXN[1]	AM32	SATA0_RXN/PCIE_DOWN6_RXN
AN23	PCIE_DOWN2_TXP	AL37	SATA1_TXP/PCIE_DOWN7_TXP
AP22	PCIE_DOWN2_TXN	AK38	SATA1_TXN/PCIE_DOWN7_TXN
AK22	PCIE_DOWN2_RXP	AK34	SATA1_RXP/PCIE_DOWN7_RXP
AL23	PCIE_DOWN2_RXN	AL35	SATA1_RXN/PCIE_DOWN7_RXN
AJ25	PCIE_DOWN_REFCLK_P	AN35	SATA2_TXP/DP2_TXP
AJ27	PCIE_DOWN_REFCLK_N	AP34	SATA2_TXN/DP2_TXN
AJ21	PCIE_DOWN_REXT	AP32	SATA2_RXP

AJ33	SATA0_REFCLK_P	AN33	SATA2_RXN
AH34	SATA0_REFCLK_N	AN37	SATA3_TXP
AJ35	SATA2_REFCLK_P	AP38	SATA3_TXN
AH36	SATA2_REFCLK_N	AK40	SATA3_RXP
AG37	SATA0_REXT	AL39	SATA3_RXN
AH38	SATA1_REXT	AJ39	SATA0_ATB0
AG39	SATA2_REXT	AH40	SATA0_ATB1
AG41	SATA3_REXT	AF12	USB3_REXT
W3	USB3_P0_TXP	AD4	USB3_P4_TXP
W1	USB3_P0_TXN	AE3	USB3_P4_TXN
Y4	USB3_P0_RXP	AE1	USB3_P4_RXP
Y2	USB3_P0_RXN	AF2	USB3_P4_RXN
U3	USB2_P0_DP	AB4	USB2_P4_DP
U1	USB2_P0_DN	AB2	USB2_P4_DN
AD8	USB3_P1_TXP	AH6	USB3_P5_TXP
AD6	USB3_P1_TXN	AH8	USB3_P5_TXN
AE9	USB3_P1_RXP	AK6	USB3_P5_RXP
AE7	USB3_P1_RXN	AK8	USB3_P5_RXN
AC9	USB2_P1_DP	AJ7	USB2_P5_DP
AC7	USB2_P1_DN	AJ9	USB2_P5_DN
U7	USB3_P2_TXP	AJ1	USB3_P6_TXP
U9	USB3_P2_TXN	AJ3	USB3_P6_TXN
W9	USB3_P2_RXP	AK2	USB3_P6_RXP
W7	USB3_P2_RXN	AK4	USB3_P6_RXN
Y8	USB2_P2_DP	AG5	USB2_P6_DP
Y6	USB2_P2_DN	AH4	USB2_P6_DN
M8	USB3_P3_TXP	AP6	USB3_P7_TXP
M6	USB3_P3_TXN	AP8	USB3_P7_TXN
N7	USB3_P3_RXP	AM8	USB3_P7_RXP
N9	USB3_P3_RXN	AN9	USB3_P7_RXN
P8	USB2_P3_DP	AM4	USB2_P7_DP
P6	USB2_P3_DN	AN5	USB2_P7_DN
AF10	USB3_REFCLK_P	R7	USB2_P3_RREF
AG11	USB3_REFCLK_N	AC3	USB2_P4_RREF
V4	USB2_P0_RREF	AG9	USB2_P5_RREF
AB6	USB2_P1_RREF	AG3	USB2_P6_RREF
V6	USB2_P2_RREF	AM6	USB2_P7_RREF
R1	DP0_TXP[0]	J1	DP1_TXP[0]
R3	DP0_TXN[0]	J3	DP1_TXN[0]
P2	DP0_TXP[1]	H2	DP1_TXP[1]
P4	DP0_TXN[1]	H4	DP1_TXN[1]
M2	DP0_TXP[2]	F2	DP1_TXP[2]

M4	DP0_TXN[2]	F4	DP1_TXN[2]
L1	DP0_TXP[3]	E1	DP1_TXP[3]
L3	DP0_TXN[3]	E3	DP1_TXN[3]
AB14	DP0_AUX_P	Y14	DP1_AUX_P
AC15	DP0_AUX_N	AA15	DP1_AUX_N
AN35	SATA2_TXP/DP2_TXP	Y12	DP2_AUX_P
AP34	SATA2_TXN/DP2_TXN	AA11	DP2_AUX_N
F10	DP_REFCLK_P	G9	DP_REFCLK_N
H10	DP_REXT		

通用 PAD 引脚

引脚	信号名称	接口电平
G41	WAKEUP_N/GPIO[57]/CLK_LPC_33M	LVC MOS25
AF16	QSPI_CS0_N	LVC MOS18
AH30	QSPI_SCK	LVC MOS18
AE15	QSPI_IO0/MOSI	LVC MOS18
AH14	QSPI_IO1/MISO	LVC MOS18
AD14	QSPI_IO2/WP_N	LVC MOS18
AJ17	QSPI_IO3/HOLD_N	LVC MOS18
L45	HD_LED_N/GPIO[43]/SATA2_LED/SATA3_LED	LVC MOS25
H42	DP0_HPD	LVC MOS25
H38	DP1_HPD/GPIO[56]/CLK_CPU_48M	LVC MOS25
H44	PWR_BUTTON/SE_GPIO[0]	LVC MOS25
H46	S5/S4_Flag/RESET_BUTTON/SE_GPIO[1]	LVC MOS25
G39	S3_Flag/SE_GPIO[2]	LVC MOS25
G37	S0_Flag/SE_GPIO[3]	LVC MOS25
K22	VCORE_EN/SE_GPIO[4]	LVC MOS25
H24	VDDQ_EN/SE_GPIO[5]	LVC MOS25
G43	VDDIO_EN/SE_GPIO[6]	LVC MOS25
G21	VTT_EN/MEM0_RST_CTL/SE_GPIO[7]	LVC MOS25
G23	VCORE_PG/SE_GPIO[8]/GPIO[58]	LVC MOS25
U47	VDDQ_PG/SE_GPIO[9]/GPIO[59]	LVC MOS25
V46	VDDIO_PG/SE_GPIO[10]/GPIO[60]	LVC MOS25
G33	VTT_PG/MEM1_RST_CTL/SE_GPIO[11]/GPIO[61]	LVC MOS25
Y46	UART_RXD/GPIO[41]/SD0_CARD_VOLT	LVC MOS25
R47	UART_TXD/GPIO[42]	LVC MOS25
H26	SE_SMBCLK/GPIO[54]	LVC MOS25
G45	SE_SMBDAT/GPIO[55]	LVC MOS25
K44	SE_SMBALERT/GPIO[40]	LVC MOS25
AH12	CLK_CPU_REF	LVC MOS18
AE11	CLK_CPU_LPC/NFC_CE1_N	LVC MOS18
AE13	CPU_RESET/SE_GPIO[22]	LVC MOS18
AG15	SCL0	LVC MOS18

AC11	SDA0/QSPI_CS3_N	LVC MOS18
AF14	IRQ/SE_GPIO[23]	LVC MOS18
H32	TS_OVER_IN_N/SE_GPIO[12]/GPIO[62]/UART3_CTS_N/OC4_N	LVC MOS25
V44	SYS_LED[1]/SE_GPIO[13]/GPIO[63]/UART3_DCD_N/OC5_N	LVC MOS25
N45	SE_GPIO[14]/GPIO[48]/UART3_DSR_N/OC6_N	LVC MOS25
H34	SE_GPIO[15]/GPIO[49]/UART3_RI_N/OC7_N	LVC MOS25
L47	WAKEIN_N/SE_GPIO[16]/GPIO[50]/UART3_RTS_N/DRIVE_VBUS4	LVC MOS25
H30	SYS_LED[0]/SE_GPIO[17]/GPIO[51]/UART3_DTR_N/DRIVE_VBUS5	LVC MOS25
G35	SP_DET0/SE_GPIO[18]/GPIO[52]/UART3_RXD/DRIVE_VBUS6	LVC MOS25
H28	SP_DET1/SE_GPIO[19]/GPIO[53]/UART3_TXD/DRIVE_VBUS7	LVC MOS25
J47	SE_GPIO[24]/SD0_RST_N/I2S_SCLK	LVC MOS25
P44	RESET_S0/SE_GPIO[30]/SD0_CLK/MIO4_A/UART2_CTS_N	LVC MOS25
AA47	GPIO[27]/SD0_CMD/MIO5_B/UART2_RI_N	LVC MOS25
M44	GPIO[26]/SD0_WP_N/MIO5_A/UART2_DSR_N	LVC MOS25
AA45	GPIO[28]/SD0_D[0]/MIO6_A/UART2_RTS_N	LVC MOS25
G47	GPIO[29]/SD0_D[1]/MIO6_B/UART2_DTR_N	LVC MOS25
F42	GPIO[30]/SD0_D[2]/MIO7_A/UART2_RXD	LVC MOS25
AC47	GPIO[31]/SD0_D[3]/MIO7_B/UART2_TXD	LVC MOS25
J43	SE_GPIO[26]/SD0_D[4]/I2S_WS/SMB0_DAT	LVC MOS25
J39	SE_GPIO[27]/SD0_D[5]/I2S_SDO[0]/SMB0_ALERT	LVC MOS25
J31	SE_GPIO[28]/SD0_D[6]/I2S_SDI[0]/MIO3_A	LVC MOS25
J37	RESET_S3/SE_GPIO[29]/SD0_D[7]/MIO3_B	LVC MOS25
K46	BUZZER/SE_GPIO[31]/SD0_DET_N/MIO4_B/UART2_DCD_N	LVC MOS25
J25	CLK_OBV/SD0_CMD_PU_EN/I2S_SDO[1]	LVC MOS25
J45	RST_OK/SD0_CARD_PWR_EN/I2S_SDI[1]	LVC MOS25
J41	SE_GPIO[25]/SDIO0_INT_N/I2S_MCLK/SMB0_CLK	LVC MOS25
P46	DRIVE_VBUS0/GPIO[34]/SPIM0_CS2_N	LVC MOS25
U45	DRIVE_VBUS1/GPIO[35]/SPIM0_CS3_N	LVC MOS25
M46	DRIVE_VBUS2/GPIO[36]/I2S_SDO[3]	LVC MOS25
G27	DRIVE_VBUS3/GPIO[37]/I2S_SDI[3]	LVC MOS25
T46	OC0_N/GPIO[38]	LVC MOS25
R45	OC1_N/GPIO[39]	LVC MOS25
G25	OC2_N/GPIO[24]/I2S_SDO[2]	LVC MOS25
T44	OC3_N/GPIO[25]/I2S_SDI[2]	LVC MOS25
G29	MIO0_A/GPIO[44]/DP2_HPD/TS_OVER	LVC MOS25
W45	MIO0_B/GPIO[45]/SPIM0_CS0_N	LVC MOS25
J29	MIO1_A/GPIO[46]/SPIM0_CLK	LVC MOS25
J33	MIO1_B/GPIO[47]/SPIM0_MOSI/SMB1_ALERT	LVC MOS25
J35	MIO2_A/GPIO[32]/SPIM0_MISO/SMB1_CLK/SATA1_LED	LVC MOS25
J27	MIO2_B/GPIO[33]/SPIM0_CS1_N/SMB1_DAT/SATA0_LED	LVC MOS25
AJ47	NFC_CE0_N/SPIM1_CS2_N/GPIO[21]	LVC MOS18
AB12	NFC_RB_N/SPIM1_CS0_N/GPIO[16]/SD1_CMD_PU_EN	LVC MOS18

AH46	NFC_REN_WRN/SPIM1_MOSI/GPIO[18]/SD1_CARD_VOLT	LVC MOS18
AG43	NFC_WEN_CLK/SPIM1_CLK/GPIO[17]/SD1_CARD_POWER_EN	LVC MOS18
AH44	NFC_CLE/SPIM1_MISO/GPIO[19]	LVC MOS18
AJ29	NFC_ALE/SPIM1_CS1_N/GPIO[20]	LVC MOS18
AJ43	NFC_D[0]/SPIM1_CS3_N/GPIO[22]	LVC MOS18
AH42	NFC_D[1]/GPIO[23]	LVC MOS18
AG29	NFC_D[2]/UART1_CTS_N/GPIO[8]	LVC MOS18
AG27	NFC_D[3]/UART1_DCD_N/GPIO[9]	LVC MOS18
AG19	NFC_D[4]/UART1_DSR_N/GPIO[10]	LVC MOS18
AH28	NFC_D[5]/UART1_RI_N/GPIO[11]	LVC MOS18
AG31	NFC_D[6]/UART1_RTS_N/GPIO[12]/PS2_P1_CLK	LVC MOS18
AG25	NFC_D[7]/UART1_DTR_N/GPIO[13]/PS2_P1_DAT	LVC MOS18
AG33	GPIO[0]/NFC_D[8]/UART0_CTS_N/SDIO1_INT_N	LVC MOS18
AG23	GPIO[1]/NFC_D[9]/UART0_DCD_N/SD1_DET_N	LVC MOS18
AG17	GPIO[2]/NFC_D[10]/UART0_DSR_N/SD1_WP_N	LVC MOS18
AH24	GPIO[3]/NFC_D[11]/UART0_RI_N/SD1_CMD	LVC MOS18
AG21	GPIO[4]/NFC_D[12]/UART0_RTS_N/SD1_D[0]	LVC MOS18
AH16	GPIO[5]/NFC_D[13]/UART0_DTR_N/SD1_D[1]	LVC MOS18
AH22	GPIO[6]/NFC_D[14]/UART0_RXD/SD1_D[2]	LVC MOS18
AH32	GPIO[7]/NFC_D[15]/UART0_TXD/SD1_D[3]	LVC MOS18
AH18	NFC_DQS/UART1_RXD/GPIO[14]/SD1_RST_N	LVC MOS18
AH26	NFC_WP_N/UART1_TXD/GPIO[15]/SD1_CLK	LVC MOS18
AE47	CAN0_RX/NFC_CE2_N/SD1_D[5]	LVC MOS18
AC45	CAN0_TX/NFC_CE3_N/SD1_D[4]	LVC MOS18
AF46	CAN1_RX/SE_GPIO[21]/SD1_D[7]	LVC MOS18
AD46	CAN1_TX/SE_GPIO[20]/SD1_D[6]	LVC MOS18
AE45	PS2_P0_CLK/QSPI_CS2_N	LVC MOS18
AB46	PS2_P0_DAT/QSPI_CS1_N	LVC MOS18
AJ15	CLK_REF_48M	LVC MOS18
W47	POR_N	LVC MOS25
K20	PWM0	LVC MOS25
N47	TACH0	LVC MOS25
H36	PWM1	LVC MOS25
H40	TACH1	LVC MOS25
V14	RESVD0	
W15	RESVD1	
V12	RESVD2	
W11	RESVD3	
T12	RESVD4	
U11	RESVD5	
L11	RESVD6	
K12	RESVD7	

N11	RESVD8	
M12	RESVD9	
T14	RESVD10	
U15	RESVD11	
P12	RESVD12	
R11	RESVD13	
H12	RESVD14	
J11	RESVD15	
F12	RESVD16	
G11	RESVD17	
G15	RESVD18	
F14	RESVD19	
H16	RESVD20	
H14	RESVD21	
F18	RESVD22	
G17	RESVD23	
H20	RESVD24	
G19	RESVD25	
J15	RESVD26	
K14	RESVD27	
J17	RESVD28	
J19	RESVD29	
K16	RESVD30	
L15	RESVD31	
M14	RESVD32	
N15	RESVD33	
R15	RESVD34	
P14	RESVD35	
U5	RESVD36	
AB8	RESVD37	
V8	RESVD38	
R9	RESVD39	
AC1	RESVD40	
AG7	RESVD41	
AG1	RESVD42	
AL7	RESVD43	
AD12	RESVD44	
K26	RESVD45	
J21	RESVD46	
K28	RESVD47	
J23	RESVD48	
AG47	RESVD49	

AG45	RESVD50	
V20	RESVD51	
U17	RESVD52	

2.1.1.2 电源引脚信息

表 2-2 电源引脚信息

引脚	信号名
L19	VDDIO25_STB
P16	VDDIO18_STB
AB16,N17,M18,T18,AA17	VDD_STB
AD22,AD18	U2_VCCA33
AF22,AF18	U2_VCCA18
AE21,AE19	U2_VDDA
R19	PLL_VDDHV
P20	PLL_VDDPOST
W19	TS0_VDDA
L23	TS1_VDDA
V16	VDD33
AF30,AF34,AF26,AF38	AVDD_A
AC27,AD30,AD26,AE25,AE29,	AVDDCLK_A
AE41,AE37,AE33	AVDDH_A
L27,L31,L35,M26	AVDD_B
L39,L43,M42,N41	AVDDCLK_B
M30,M38,M34	AVDDH_B
U41	VDDQ_CK
R43,W43,AA51,AB48,AB54,P48,P54,U51,V54	VDDQ
P28,P32,P36,R27,R31,R35,T26,T30,T34,T38,U25,U29, U33,U37,V28,V32,V36,V24,N37,N33,N29,N25	VDD_GPU
AC39,AD38,AD42,AD34,AA21,AA25,AA29,AA33,AA37,AA41, AB20,AB24,AB28,AB32,AB36,AB40,AB44,AC19,AC23,AC31, AC35,AC43,M22,N21,P24,P40,R23,R39,T22,U21,V40,Y22, Y26,Y30,Y34,Y38,Y42,W23,W27,W31,W35,W39,Y18	VDD
V48,AE17,A3,A5,A11,A17,A23,A29,A35,A41,A47,A57,AA1, AA3,AA5,AA7,AA9,AA13,AA19,AA23,AA27,AA31,AA35,AA39, AA43,AA57,AB10,AB18,AB22,AB26,AB30,AB34,AB38,AB42, AC5,AC13,AC17,AC21,AC25,AC29,AC33,AC37,AC41,AC49, AC51,AC57,AD2,AD10,AD16,AD20,AD24,AD28,AD32,AD36, AD40,AD44,AD48,AD54,AE5,AE23,AE27,AE31,AE35,AE39, AE43,AE51,AE57,AF4,AF6,AF8,AF20,AF24,AF28,AF32, AF36,AF40,AF42,AF44,AF48,AF54,AG13,AG35,AG51,AG57, AH2,AH10,AH20,AH48,AH54,AJ5,AJ11,AJ13,AJ19,AJ23, AJ31,AJ37,AJ41,AJ45,AJ51,AJ57,AK10,AK16,AK26,AK36, AK42,AK44,AK48,AK54,AL1,AL3,AL5,AL9,AL11,AL21,	VSS

AL31,AL41,AL45,J5,H54,H48,H8,G57,G51G31,G13,G5,G3, G1,F54,F48,F46,F44,R25,R21,R17,R13,R5,P42,P38,P34, P30,P26,P22,P18,P10,N57,N51,N43,N39,N35,N31,N27, N23,N19,N13,N5,N3,N1,M54,M48,M40,M36,M32,M28, M24,M20,M16,M10,L57,L51,L41,L37,L33,L29,L25,L21, L17,W21,W17,W13,W5,V42,V38,V34,V30,V26,V22,V18, V10,V2,U57,U43,U39,U35,U31,U27,U23,U19,U13,T54, T48,T40,T36,T32,T28,T24,T20,T16,T10,T8,T6,T4,T2, R57,R51,R41,R37,R33,R29,Y54,Y48,Y44,Y40,Y36,Y32, Y28,Y24,Y20,Y16,Y10,W57,W51,W41,W37,W33,W29,W25, F40,F34,F20,F16,F8,F6,E57,E51,E47,E41,E29,E23, E17,E11,E5,D54,D42,D36,D30,D24,D18,D12,D6,D4,D2, C59,C57,C51,C47,C45,C43,C41,C39,C37,C35,C33,C31, C29,C27,C25,C23,L13,L9,L7,L5,K54,K48,K42,K40,K38, K36,K34,K32,K30,K24,K18,K10,K8,K6,K4,K2,J57,J51, J13,AL49,AL59,AM2,AM10,AM12,AM14,AM16,AM18,AM20, AM22,AM24,AM26,AM28,AM34,AM36,AM38,AM44,AM48, AM52,AM54,AM56,AM58,AN3,AN7,AN11,AN21,AN31,AN43, AN47,AN57,AP4,AP10,AP16,AP26,AP36,AP40,AP50, AP56,B2,B12,B18,B24,B30,B36,B42,B54,B58,C1,C7, C9,C11,C13,C15,C17,C19,C21,F22,F24,F28,H18,H22	
---	--

2.1.2 不使用时处理方式

NC 处理方式,是指引脚在不使用时需要做的处理方式。对于飞腾 X100 的引脚,飞腾 X100 的引脚除特殊说明的(见表 2-3), 均可浮空处理。

表 2-3 特殊引脚NC处理方式

引脚序号	信号名称	NC 处理方式
K26	RESVD45	接地
J21	RESVD46	接地
K28	RESVD47	接地
J23	RESVD48	接地

2.1.3 复用引脚说明

由于芯片引脚数量有限，飞腾 X100 对 PCIe、DP、SATA、USB3.1 以外的通用 IO 接口通过多路控制开关连接到通用引脚，即存在复用关系。板级设计时需明确复用关系，并根据实际应用场景和特定用途决定用哪些功能接口。可以对通用引脚的电气特性，比如驱动能力、传输延迟、上下拉等特性进行配置。通用引脚复用关系如表 2-4 所示，表中功能 0 到功能 5 表示同一个引脚复用的六个功能，复位后默认功能为功能 0。

表 2-4 引脚复用表

引脚	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5
G41	WAKEUP_N	GPIO[57]	CLK_LPC_33M	\	\	\
L45	HD_LED_N	GPIO[43]	SATA2_LED	SATA3_LED	\	\
H38	DP1_HPD	GPIO[56]	CLK_CPU_48M	\	\	\
U47 ^[1]	VDDQ_PG/SE_GPIO[9]	GPIO[59]	\	\	\	\
V46	VDDIO_PG/SE_GPIO[10]	GPIO[60]	\	\	\	\
G33	VTT_PG/MEM1_RST_CTL/ SE_GPIO[11]	GPIO[61]	\	\	\	\
Y46	UART_RXD	GPIO[41]	SD0_CARD_VOLT	\	\	\
R47	UART_TXD	GPIO[42]	\	\	\	\
H26	SE_SMBCLK	GPIO[54]	\	\	\	\
G45	SE_SMBDAT	GPIO[55]	\	\	\	\
K44	SE_SMBALERT	GPIO[40]	\	\	\	\
AE11	CLK_CPU_LPC	NFC_CE1_N	\	\	\	\
AC11	SDA0	QSPI_CS3_N	\	\	\	\
H32	TS_OVER_IN_N/SE_GPIO[12]	GPIO[62]	UART3_CTS_N	OC4_N	\	\
V44	SYS_LED[1]/SE_GPIO[13]	GPIO[63]	UART3_DCD_N	OC5_N	\	\
N45	SE_GPIO[14]	GPIO[48]	UART3_DSR_N	OC6_N	\	\

H34	SE_GPIO[15]	GPIO[49]	UART3_RI_N	OC7_N	\	\
L47	WAKEIN_N/SE_GPIO[16]	GPIO[50]	UART3_RTS_N	DRIVE_VBUS4	\	\
H30	SYS_LED[0]/SE_GPIO[17]	GPIO[51]	UART3_DTR_N	DRIVE_VBUS5	\	\
G35	SP_DET0/SE_GPIO[18]	GPIO[52]	UART3_RXD	DRIVE_VBUS6	\	\
H28	SP_DET1/SE_GPIO[19]	GPIO[53]	UART3_TXD	DRIVE_VBUS7	\	\
J47	SE_GPIO[24]	SD0_RST_N	I2S_SCLK	\	\	\
P44	RESET_S0/SE_GPIO[30]	SD0_CLK		MIO4_A	UART2_CTS_N	\
AA47	GPIO[27]	SD0_CMD		MIO5_B	UART2_RI_N	\
M44	GPIO[26]	SD0_WP_N		MIO5_A	UART2_DSR_N	\
AA45	GPIO[28]	SD0_D[0]		MIO6_A	UART2_RTS_N	\
G47	GPIO[29]	SD0_D[1]		MIO6_B	UART2_DTR_N	\
F42	GPIO[30]	SD0_D[2]		MIO7_A	UART2_RXD	\
AC47	GPIO[31]	SD0_D[3]		MIO7_B	UART2_TXD	\
J43	SE_GPIO[26]	SD0_D[4]	I2S_WS	SMB0_DAT	\	\
J39	SE_GPIO[27]	SD0_D[5]	I2S_SDO[0]	SMB0_ALERT	\	\
J31	SE_GPIO[28]	SD0_D[6]	I2S_SDI[0]	MIO3_A	\	\
J37	RESET_S3/SE_GPIO[29]	SD0_D[7]		MIO3_B	\	\
K46	BUZZER/SE_GPIO[31]	SD0_DET_N		MIO4_B	UART2_DCD_N	\
J25	CLK_OBV	SD0_CMD_PU_EN	I2S_SDO[1]	\	\	\
J45	RST_OK	SD0_CARD_PWR_EN	I2S_SDI[1]	\	\	\
J41	SE_GPIO[25]	SDIO0_INT_N	I2S_MCLK	SMB0_CLK	\	\
P46	DRIVE_VBUS0	GPIO[34]	SPIM0_CS2_N	\	\	\
U45	DRIVE_VBUS1	GPIO[35]	SPIM0_CS3_N	\	\	\
M46	DRIVE_VBUS2	GPIO[36]	I2S_SDO[3]	\	\	\
G27	DRIVE_VBUS3	GPIO[37]	I2S_SDI[3]	\	\	\
T46	OC0_N	GPIO[38]	\	\	\	\
R45	OC1_N	GPIO[39]	\	\	\	\

G25	OC2_N	GPIO[24]	I2S_SDO[2]	\	\	\
T44	OC3_N	GPIO[25]	I2S_SDI[2]	\	\	\
G29	MIO0_A	GPIO[44]	DP2_HPD	\	\	TS_OVER
W45	MIO0_B	GPIO[45]	SPIM0_CS0_N	\	\	\
J29	MIO1_A	GPIO[46]	SPIM0_CLK	\	\	\
J33	MIO1_B	GPIO[47]	SPIM0_MOSI	SMB1_ALERT	\	\
J35	MIO2_A	GPIO[32]	SPIM0_MISO	SMB1_CLK	\	SATA1_LED
J27	MIO2_B	GPIO[33]	SPIM0_CS1_N	SMB1_DAT	\	SATA0_LED
AJ47	NFC_CE0_N	SPIM1_CS2_N	GPIO[21]	\	\	\
AB12	NFC_RB_N	SPIM1_CS0_N	GPIO[16]	SD1_CMD_PU_EN	\	\
AH46	NFC_REN_WRN	SPIM1_MOSI	GPIO[18]	SD1_CARD_VOLT	\	\
AG43	NFC_WEN_CLK	SPIM1_CLK	GPIO[17]	SD1_CARD_POWER_EN	\	\
AH44	NFC_CLE	SPIM1_MISO	GPIO[19]	\	\	\
AJ29	NFC_ALE	SPIM1_CS1_N	GPIO[20]	\	\	\
AJ43	NFC_D[0]	SPIM1_CS3_N	GPIO[22]	\	\	\
AH42	NFC_D[1]	GPIO[23]	\	\	\	\
AG29	NFC_D[2]	UART1_CTS_N	GPIO[8]	\	\	\
AG27	NFC_D[3]	UART1_DCD_N	GPIO[9]	\	\	\
AG19	NFC_D[4]	UART1_DSR_N	GPIO[10]	\	\	\
AH28	NFC_D[5]	UART1_RI_N	GPIO[11]	\	\	\
AG31	NFC_D[6]	UART1_RTS_N	GPIO[12]	PS2_P1_CLK	\	\
AG25	NFC_D[7]	UART1_DTR_N	GPIO[13]	PS2_P1_DAT	\	\
AG33	GPIO[0]	NFC_D[8]	UART0_CTS_N	SDIO1_INT_N	\	\
AG23	GPIO[1]	NFC_D[9]	UART0_DCD_N	SD1_DET_N	\	\
AG17	GPIO[2]	NFC_D[10]	UART0_DSR_N	SD1_WP_N	\	\
AH24	GPIO[3]	NFC_D[11]	UART0_RI_N	SD1_CMD	\	\
AG21	GPIO[4]	NFC_D[12]	UART0_RTS_N	SD1_D[0]	\	\

AH16	GPIO[5]	NFC_D[13]	UART0_DTR_N	SD1_D[1]	\	\
AH22	GPIO[6]	NFC_D[14]	UART0_RXD	SD1_D[2]	\	\
AH32	GPIO[7]	NFC_D[15]	UART0_TXD	SD1_D[3]	\	\
AH18	NFC_DQS	UART1_RXD	GPIO[14]	SD1_RST_N	\	\
AH26	NFC_WP_N	UART1_TXD	GPIO[15]	SD1_CLK	\	\
AE47	CAN0_RX		NFC_CE2_N	SD1_D[5]	\	\
AC45	CAN0_TX		NFC_CE3_N	SD1_D[4]	\	\
AF46	CAN1_RX		SE_GPIO[21]	SD1_D[7]	\	\
AD46	CAN1_TX		SE_GPIO[20]	SD1_D[6]	\	\
AE45	PS2_P0_CLK		QSPI_CS2_N	\	\	\
AB46	PS2_P0_DAT		QSPI_CS1_N	\	\	\

注[1]: 功能 0 存在两个功能的引脚, 在功能 0 下实际功能为 SE_GPIO, 另一功能为软件使用 SE_GPIO 实现的系统功能。

[illegible]

图 2.2 BGA MAP 结构图

2.2 PCIe 接口

2.2.1 接口特性

X100 集成 1 路 X16 的 PCIe3.0 上行链路接口，8 路 PCIe3.0 下行链路接口，包括 2 路 X2 和 6 路 X1，其中有 2 路 X1 与 SATA3.0 接口复用。PCIe 的接口描述如表 2-5 所示。

表 2-5 PCIe 接口描述

上行链路	PCIE_UP_X16[15:0]
下行链路	PCIE_DOWN0_X2[1:0]
	PCIE_DOWN1_X2[1:0]
	PCIE_DOWN2_X1
	PCIE_DOWN3_X1
	PCIE_DOWN4_X1
	PCIE_DOWN5_X1
	SATA0/PCIE_DOWN6_X1
	SATA1/PCIE_DOWN7_X1

2.2.2 信号描述

X100 PCIe 需要提供 100MHz 的差分时钟输入，时钟输入信号分别为 PCIE_UP_REFCLK_P/N、PCIE_DOWN_REFCLK_P/N，正常运行时两输入端都需要有时钟输入。如表 2-6 所示。

表 2-6 PCIe 信号描述

信号名称	方向	信号描述	推荐连接方式
PCIE_UP_TX_P[15:0] PCIE_UP_TX_N[15:0]	O	PCIe 上行链路数据发送差分信号	220nF 电容耦合连接
PCIE_UP_RX_P[15:0] PCIE_UP_RX_N[15:0]	I	PCIe 上行链路数据接收差分信号	220nF 电容耦合连接
PCIE_UP_REFCLK_P PCIE_UP_REFCLK_N	I	PCIe 上行链路时钟差分信号	100nF 电容耦合连接
PCIE_UP_REXT0 PCIE_UP_REXT1	I	PCIe 上行链路外部校准电阻输入信号， 外接 3.01K Ω 1%电阻到地	
PCIE_DOWN[1:0]_TXP[1:0] PCIE_DOWN[1:0]_TXN[1:0]	O	PCIe 下行链路数据发送差分信号	220nF 电容耦合连接
PCIE_DOWN[1:0]_RXP[1:0] PCIE_DOWN[1:0]_RXN[1:0]	I	PCIe 下行链路数据接收差分信号	220nF 电容耦合连接
PCIE_DOWN_REFCLK_P PCIE_DOWN_REFCLK_N	I	PCIe 下行链路时钟差分信号	100nF 电容耦合连接
PCIE_DOWN[7:2]_TXP PCIE_DOWN[7:2]_TXN	O	PCIe 下行链路数据发送差分信号	220nF 电容耦合连接

PCIE_DOWN[7:2]_RXP PCIE_DOWN[7:2]_RXN	I	PCIe 下行链路数据接收差分信号	220nF 电容耦合连接
SATA0_REFCLK_P SATA0_REFCLK_N	I	PCIe 下行链路 DOWN6、DOWN7、SATA0、SATA1 时钟差分信号	100nF 电容耦合连接
PCIE_DOWN_REXT	I	PCIe 下行链路外部校准电阻输入信号，外接 3.01KΩ 1%电阻到地	
PCIE_UP_ATB0	O	PICe ATB 模拟测试管脚	NC
PCIE_UP_ATB1	O	PICe ATB 模拟测试管脚	NC

2.2.3 拓扑结构

PCIe 上行链路支持 X16 翻转，且支持位宽自适应。PCIe 所有 lane 均支持 P、N 极性翻转。常用连接拓扑如图 2.3~图 2.6 所示。

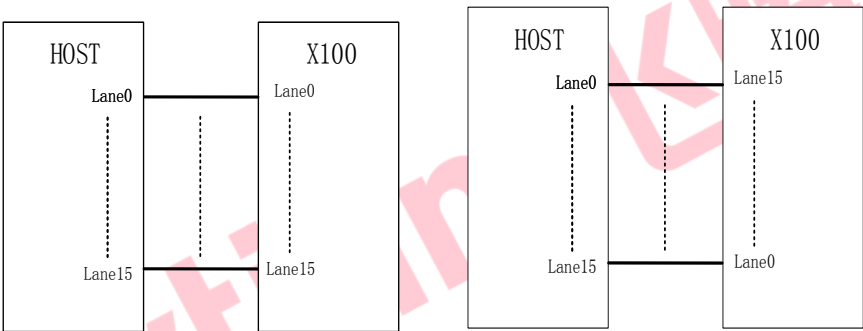


图 2.3 上行链路 X16 拓扑结构

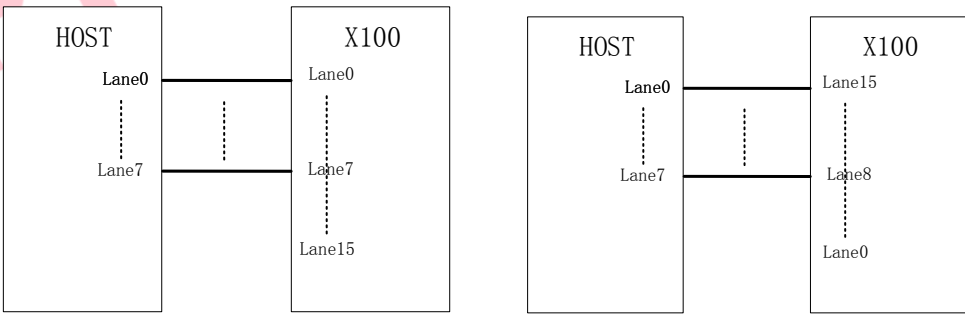


图 2.4 上行链路 X8 拓扑结构

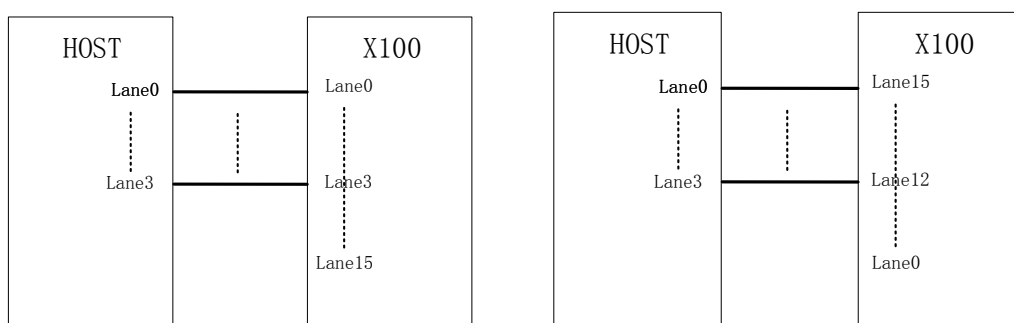


图 2.5 上行链路 X4 连接拓扑结构

PCIe 下行链路暂不支持链路翻转，使用时 PCIE_DOWN0、PCIE_DOWN1 接口必须使用 Lane0 作为主 lane，常用连接拓扑如图 2.6 所示。

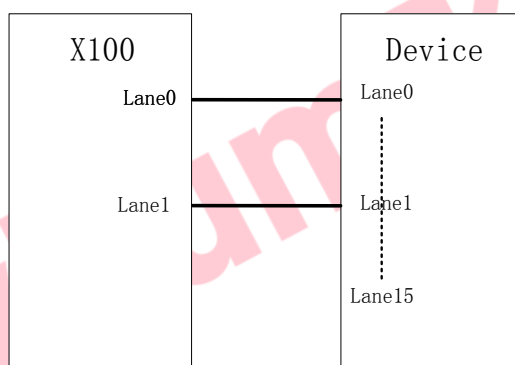


图 2.6 下行链路 X2 连接拓扑结构

X100 PCIe 下行链路中 PCIE_DOWN6 与 PCIE_DOWN7 接口与 SATA 复用，可用于连接 SSD，且支持 M.2 接口 SSD 自适应。典型连接拓扑如图 2.7 所示。

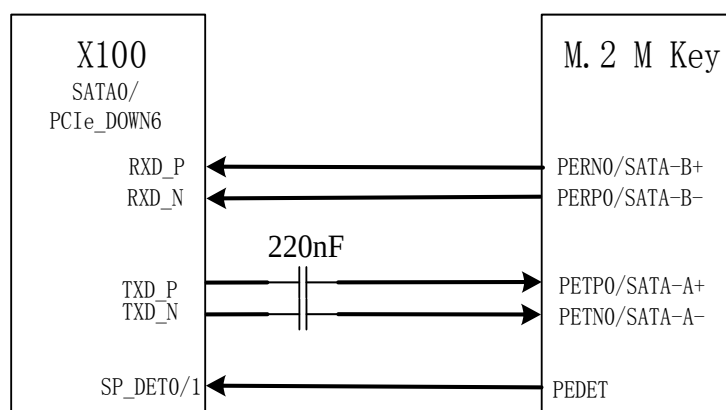


图 2.7 SATA 与 PCIe 自适应连接拓扑图

备注：

- SATA0/PCIE_DOWN6 接口通过 SP_DET0 检测插入设备类型。
- SATA1/PCIE_DOWN7 接口通过 SP_DET1 检测插入设备类型。
- 设备必须在系统上电前接入 X100 的指定接口。
- 该类型接口不支持热插拔，系统启动后无法再自适应插入设备。
- 检测逻辑为：当检测到 PEDET 为高，接口为 PCIe 功能；当检测到 PEDET 为低，接口为 SATA 功能。
- 在不使用自适应功能时，软件可强制配置接口类型，不再使用 SP_DET 信号。

2.2.4 AC 电容、校准电阻要求

输出端到接收端之间，PCIe 采用交流耦合的方式。具体要求如表 2-7 所示。

表 2-7 PCIe 链路 AC 耦合电容

最小值	最大值	建议值	封装	精度
176nF	265nF	220nF	0402	10%

如图 2.8 所示，X100 的 PCIe 控制器需外接阻值为 3.01K Ω 精度为 1% 的校准电阻。外部校准电阻要求尽可能靠近芯片引脚，走线避开高速信号等干扰源。

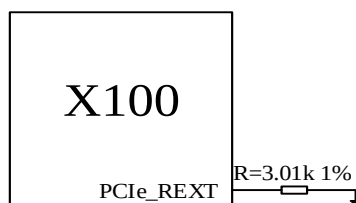


图 2.8 外部校准电阻参考电路

2.2.5 PCB 设计建议

PCB 设计参考 6 章，另外还有以下几点需注意：

2.2.5.1 布线要求

表 2-8 PCIe 布线要求

参数	要求
阻抗控制数据信号	85 Ω $\pm$ 10% 差分
阻抗控制时钟信号	100 Ω $\pm$ 10% 差分
数据信号 AC 耦合电容	220nF 0402 10%
时钟信号 AC 耦合电容	100nF 0402 10%
校准电阻	3.01K Ω 0402 1%

最大走线长度（到连接器）	350mm
最大走线长度（板载设备）	450mm
Lane 间长度差	$\leq 180\text{mm}$
差分对内等长	$\leq 0.05\text{mm}$
差分对间距离	$\geq 5H^{[1]}$
与其它信号间距	$\geq 5H$
自身间距 ^[2]	$\geq 7H$
与参考平面边缘间距	$\geq 5H$
建议过孔数量	≤ 4 个
注[1]: H 为走线距离最近参考平面的高度。	
注[2]: 信号走线蛇形绕线时自身的间距要求。	

2.2.5.2 交流耦合电容要求

PCIe 需要在发送端和接收端之间放置交流耦合电容。建议使用 0402 或更小尺寸的封装以减小阻抗变化，P/N 信号上一对耦合电容需紧挨且平行放置。

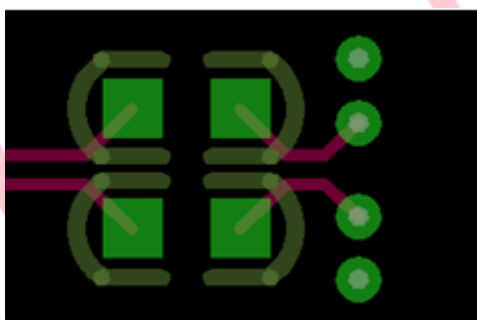


图 2.9 AC 耦合电容 PCB 摆放示意图

2.2.5.3 走线间距要求

PCIe 差分对之间的走线间距（走线边缘距离）需至少保持 $5H$ ， H 为走线距离最近参考平面的高度，尽量远离开关电源的开关管和电感等噪声源。

PCIe 信号线建议并行走线，走线间不要有其他信号或过孔。TX 和 RX 建议走在不同层，或者隔开尽可能远的距离。差分对 P 和 N 必须在同一层，并按照差分约束布线。

2.2.5.4 走线等长要求

差分对 P 和 N 两条走线总长度之差不能超过 0.05mm 。建议在扇出时，对较短的走线进行一定的等长补偿，TX 和 RX 信号线间不要求等长。

2.2.5.5 走线参考要求

PCIe 信号走线需参考 GND 网络，走线与参考平面边缘间距应不小于 $5H$ ，保证参考平面完整，尽量保证没有跨平面分割的情况，如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

2.3 DDR 内存接口

2.3.1 接口特性

X100 集成 1 路 64 位 LPDDR4/DDR4 显存控制器，负责管理显示存储器空间。其主要特性如下：

- 支持 DDR4、LPDDR4 协议；
- 支持的器件类型：DDR4：X4、X8、X16；LPDDR4：X16；
- 支持的接口电压：DDR4——1.2V；LPDDR4——1.1V；
- DDR4 支持 1/2/4 个 Rank；
- LPDDR4 支持单 Rank；
- 支持多种低功耗功能，包括 DRAM 自刷新、DDR 控制器时钟关断和电源关断；
- DDR4 模式下支持 3DS、DBI；
- 支持多种频率点的时序参数组合，详见表 2-9、表 2-10；

表 2-9 支持的 DDR4 时序参数组合

DRAM 类型	频率	CL ^[1]	tRCD ^[2]	tRP ^[3]	CWL ^[4]
DDR4	2666	17/18/19/20	17/18/19/20	17/18/19/20	14/18
DDR4	2400	15/16/17/18	15/16/17/18	15/16/17/18	12/16
DDR4	2133	14/15/16	14/15/16	14/15/16	11/14
DDR4	1866	12/13/14	12/13/14	12/13/14	10/12
DDR4	1600	10/11/12	10/11/12	10/11/12	9/11
注：					
1. CL: CAS Latency（读命令到读数据的时钟周期数）			3. tRP: Precharge Period（预充电时间周期数）		
2. tRCD: RAS-to-CAS delay（行激活命令到读写命令的延迟周期数）			4. CWL: CAS Write Latency（写命令到写数据的时钟周期数）		

表 2-10 支持的 LPDDR4 时序参数组合

DRAM 类型	频率	RL ^[1]	tRCD ^[2]	tRP ^[3]	WL ^[4]
LPDDR4	2666	24/28	18ns		12/22
LPDDR4	2133	20/22			10/18
LPDDR4	1600	14/16			8/12
LPDDR4	1066	10/12			6/8
注：					
1. RL: Read Latency（读命令到读数据的时钟周期数）			3. tRP: Precharge Period（预充电时间周期数）		
2. tRCD: RAS-to-CAS delay（行激活命令到读写命令的延迟周期数）			4. WL: Write Latency（写命令到写数据的时钟周期数）		

2.3.2 信号描述

X100 DDR4 模式与 LPDDR4 模式信号描述如表 2-11 所示。

表 2-11 DDR4 与 LPDDR4 信号描述

DDR4			LPDDR4		
信号名称	方向	信号描述	信号名称	方向	信号描述
DDR_A0	O	DDR4 地址和控制命令信号，包括 BankArray、BankGroup 等	L_CA0	O	LPDDR4 地址和控制命令
DDR_A1	O		L_CA1	O	
DDR_A2	O		L_CA2	O	
DDR_A3	O		L_CA3	O	
DDR_A4	O		L_CA4	O	
DDR_A5	O		L_CA5	O	
DDR_A6	O		U_CA0	O	
DDR_A7	O		U_CA1	O	
DDR_A8	O		U_CA2	O	
DDR_A9	O		U_CA3	O	
DDR_A10	O		U_CA4	O	
DDR_A11	O		U_CA5	O	
DDR_A12	O		——	——	
DDR_A13	O		——	——	
DDR_A14/WE_N	O		CS_N11	O	LPDDR4 通道的片选信号
DDR_A15/CAS_N	O		CS_N10	O	
DDR_A16/RAS_N	O		CS_N9	O	
DDR_A17	O		——	——	
DDR_BA0	O		CS_N12	O	
DDR_BA1	O		CS_N13	O	
DDR_BG0	O		CS_N7	O	
DDR_BG1	O		——	——	
DDR_C0	O	DDR4 通道的 ChipID	——	——	
DDR_CKE[3:0]	O	DDR4 通道的时钟使能信号	DDR_CKE[3:0]	O	LPDDR4 通道的时钟使能信号
DDR_CS[3:0]	O	DDR4 通道的片选信号	DDR_CS[3:0]	O	LPDDR4 通道的片选信号
DDR_ODT0	O	DDR4 通道的终端匹配电阻的使能控制信号	CS_N4	O	
DDR_ODT1	O		CS_N5	O	
DDR_ODT2	O		CS_N6	O	
DDR_ODT3	O		CS_N8	O	
DDR_ZN_SENSE	I/O	阻抗校准接口信号	DDR_ZN_SENSE	I/O	阻抗校准接口信号
DDR_ACT_N	O	Activation 命令接口信号	CS_N14	O	LPDDR4 通道的片选信号
DDR_ALERT_N	I	警告信号	——	——	
DDR_RESET_N	O	DDR4 复位信号	DDR_RESET_N	O	LPDDR4 复位信号
DDR_PAR	O	DDR4 通道的校验信号	CS_N15	O	LPDDR4 通道的片选信号

DDR_CLK_T[3:0]	O	DDR4 通道的差分时钟	DDR_CLK_T[3:0]	O	LPDDR4 通道的差分时钟
DDR_CLK_C[3:0]	O		DDR_CLK_C[3:0]	O	
DDR_DQS_T[7:0]	O	DDR4 数据差分选通信号	DDR_DQS_T[7:0]	I/O	LPDDR4 数据差分选通信号
DDR_DQS_C[7:0]	I/O		DDR_DQS_C[7:0]	I/O	
DDR_DQS_T[16:9]	I/O	DDR4 数据差分选通信号	DM[7:0]	I/O	LPDDR4 掩码屏蔽信号
DDR_DQS_C[16:9]	I/O		——	I/O	
DDR_DQ[63:0]	I/O	DDR4 64 位数据	DDR_DQ[63:0]	I/O	LPDDR4 64 位数据

2.3.3 引脚分布

X100 芯片 DDR 通道的引脚分布如图 2.10 所示，红色部分表示显存信号的有关引脚。

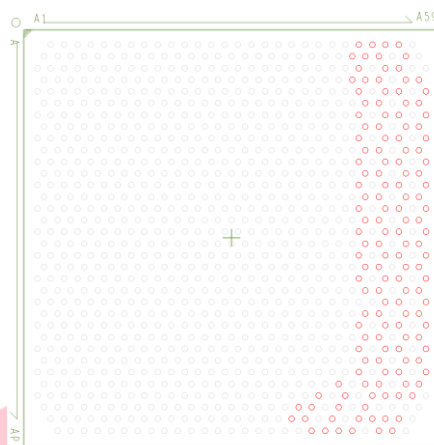


图 2.10 DDR 引脚分布（顶视图）

2.3.4 拓扑结构

2.3.4.1 LPDDR4 模式拓扑结构

X100 采用两颗 32 位 LPDDR4 SDRAM 单 RANK 颗粒的拓扑结构如图 2.11 所示，每个 32 位 LPDDR4 颗粒包含 A 和 B 两个 Channel，其中 DQ/DM/DQS/CS 信号与 X100 点对点直连，AC/CLK 信号采用 FLY-BY 拓扑连接。

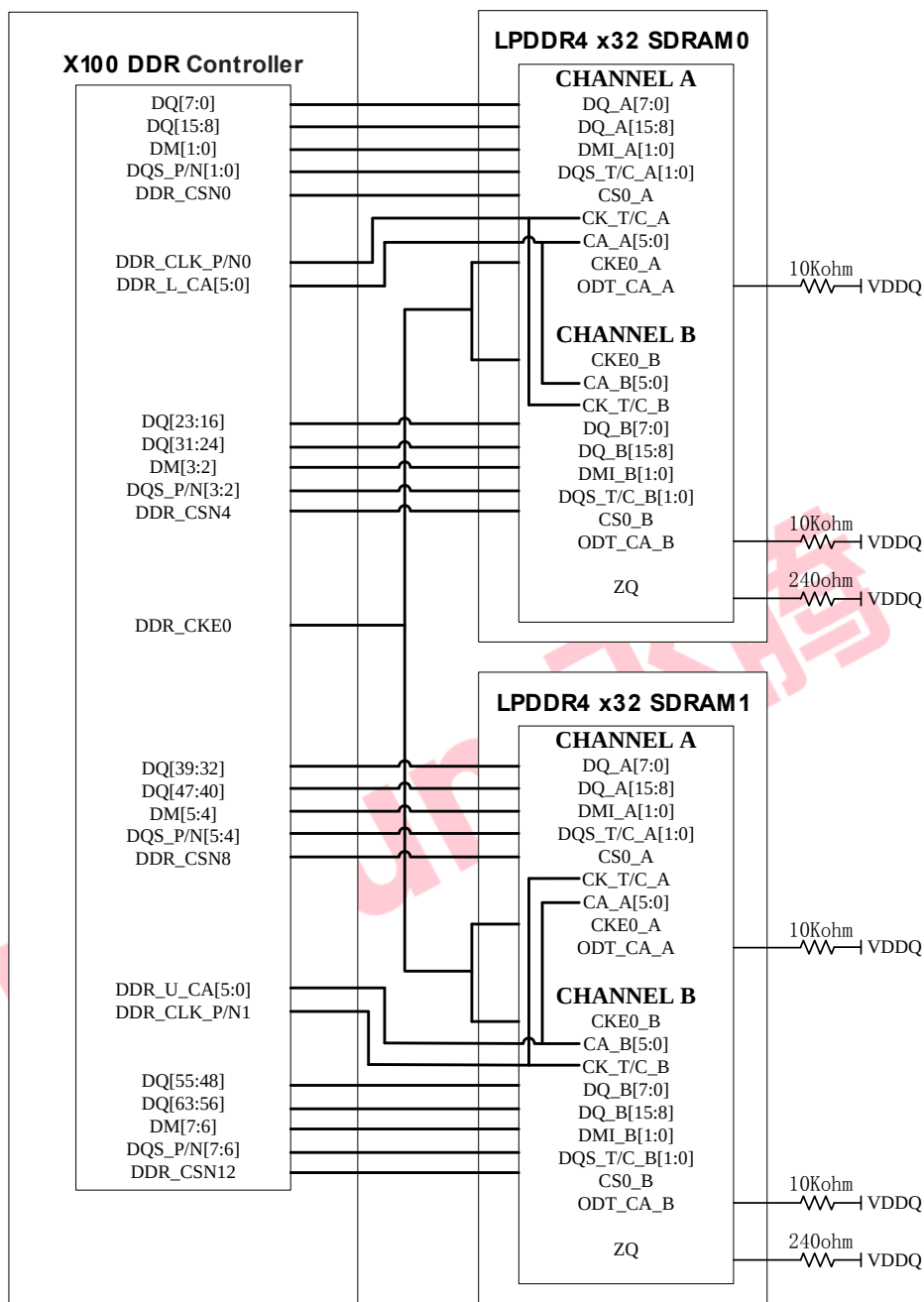


图 2.11 LPDDR4 SDRAM 单 RANK 结构图

2.3.4.2 DDR4 模式拓扑结构

X100 采用四颗 16 位 DDR4 SDRAM 单 RANK 颗粒的拓扑结构如图 2.12 所示。

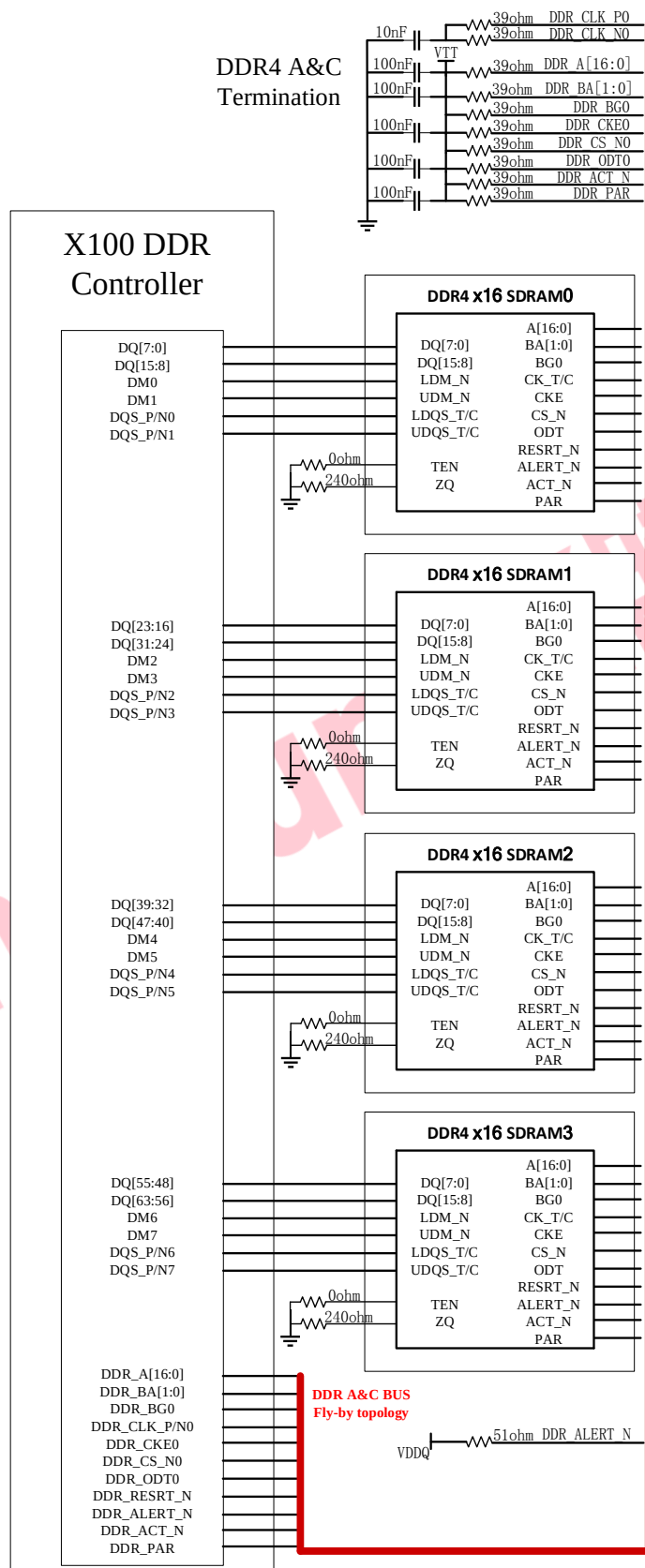


图 2.12 DDR4 SDRAM 单 RANK 结构图

2.3.5 交换准则

按照 8bit 划分为一个 slice，一个通道 64bit 可划分为 8 个 slice。DDR4 方案每组 slice 内有 12 个信号如表 2-12 所示，LPDDR4 方案每组 slice 内有 11 个信号如表 2-13 所示。

表 2-12 DDR4 方案 Slice 分组表

Slice[n]	Slice[n]_L	Slice[n]_H	备注
Slice[0]	DDR_DQ[3:0]、DQS0_C、DQS0_T	DDR_DQ[7:4]、DQS9_C、DQS9_T	数据
Slice[1]	DDR_DQ[11:8]、DQS1_C、DQS1_T	DDR_DQ[15:12]、DQS10_C、DQS10_T	数据
Slice[2]	DDR_DQ[19:16]、DQS2_C、DQS2_T	DDR_DQ[23:20]、DQS11_C、DQS11_T	数据
Slice[3]	DDR_DQ[27:24]、DQS3_C、DQS3_T	DDR_DQ[31:28]、DQS12_C、DQS12_T	数据
Slice[4]	DDR_DQ[35:32]、DQS4_C、DQS4_T	DDR_DQ[39:36]、DQS13_C、DQS13_T	数据
Slice[5]	DDR_DQ[43:40]、DQS5_C、DQS5_T	DDR_DQ[47:44]、DQS14_C、DQS14_T	数据
Slice[6]	DDR_DQ[51:48]、DQS6_C、DQS6_T	DDR_DQ[55:52]、DQS15_C、DQS15_T	数据
Slice[7]	DDR_DQ[59:56]、DQS7_C、DQS7_T	DDR_DQ[63:60]、DQS16_C、DQS16_T	数据

表 2-13 LPDDR4 方案 Slice 分组表

Group	Channel	Slice[n]	备注
L_Group	L_Channel	DDR_DQ[7:0]、DQS0_C、DQS0_T、DM0	数据
		DDR_DQ[15:8]、DQS1_C、DQS1_T、DM1	数据
	U_Channel	DDR_DQ[23:16]、DQS2_C、DQS2_T、DM2	数据
		DDR_DQ[31:24]、DQS3_C、DQS3_T、DM3	数据
U_Group	L_Channel	DDR_DQ[39:32]、DQS4_C、DQS4_T、DM4	数据
		DDR_DQ[47:40]、DQS5_C、DQS5_T、DM5	数据
	U_Channel	DDR_DQ[55:48]、DQS6_C、DQS6_T、DM6	数据
		DDR_DQ[63:56]、DQS7_C、DQS7_T、DM7	数据

2.3.5.1 DDR4 交换准则

X8、X16 内存交换准则

- DQ 交换：在进行 X8、X16 兼容内存的设计时，同个 slice 内部的 8 位 DQ 可以自由互换。
- Slice 交换：8 个 slice 之间可以任意交换。

X4 内存交换准则

- DQ 交换：同个 slice 可以再细拆分为低 4 位和高 4 位两组，分别为 slice[n]_L 与 slice[n]_H，同个 slice 的 slice[n]_L 与 slice[n]_H 间可以整组交换，如表 2-12 所示。slice[n]_L 内的 4 位 DQ 之间可以互相交换，slice[n]_H 内的 4 位 DQ 之间可以互相交换。但 slice[n]_L 内的 DQ 与 slice[n]_H 内的 DQ 不能进行交换。
- Slice 交换：8 个 slice 之间可以任意交换。

由上可见,“X8、X16 兼容内存交换准则”相对宽松和灵活,但不一定能兼容 X4,最终需要采用何种准则,需依据用户具体需求而定。用户在不确定未来可能采用何种内存类型时候,建议遵循“X4、X8、X16 内存交换准则”获取最好的兼容性。

2.3.5.2 LPDDR4 交换准则

根据 64 位 DQ 数据划分两个 Group, L_Group_32 位包含 L_Channel_A(Slice0、Slice1)、U_Channel_B(Slice2、Slice3), U_Group_32 位包含 L_Channel_A(Slice4、Slice5)、U_Channel_B(Slice6、Slice7), 每个 Group 可以整体交换, 在每个 Group 内部 L_Channel_A 与 U_Channel_B 可以整体交换, 每个 Channel 内部两个 Slice 可以整体交换, 每个 Slice 内部 8bit DQ 数据可以相互交换线序。

注释: LPDDR4 在 PCB 设计时可以按照以上规则调整线序, 方便 PCB 的布线工作。需要声明, 若 LPDDR4 的线序有所调整, 则 PHY 的寄存器也需要重新配置, 需更新相应固件。

2.3.6 校准电阻要求

内存 DDR_ZN_SENSE 采用 240Ω 1%精度的外部校准电阻与地连接, 要求尽可能靠近引脚, 避免外部干扰。

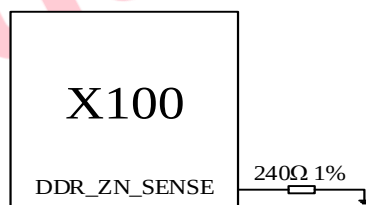


图 2.13 DDR 校准电阻参考电路

2.3.7 PCB 设计建议

PCB 设计参考第 6 章, 另外还有以下几点需注意。

2.3.7.1 走线参考要求

DQ/DM/DQS 信号走线需参考 GND 网络, AC(Address Command)、CLK、MISC(alert reset) 信号走线需参考 VDDQ 或 GND 网络, 走线与参考平面边缘间距应不小于 3H, 保证参考平面完整, 保证没有跨平面分割的情况。

2.3.7.2 布线参考

针对 DDR4 或 LPDDR4 两种内存方案, 提供如下两种内存方案布局布线参考示意图。

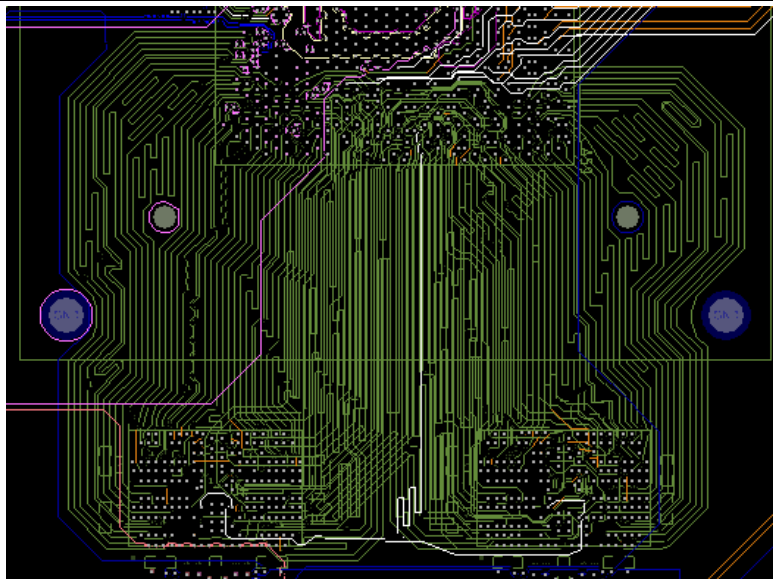


图 2.14 LPDDR4 X32显存颗粒布线示意图（两层布线）

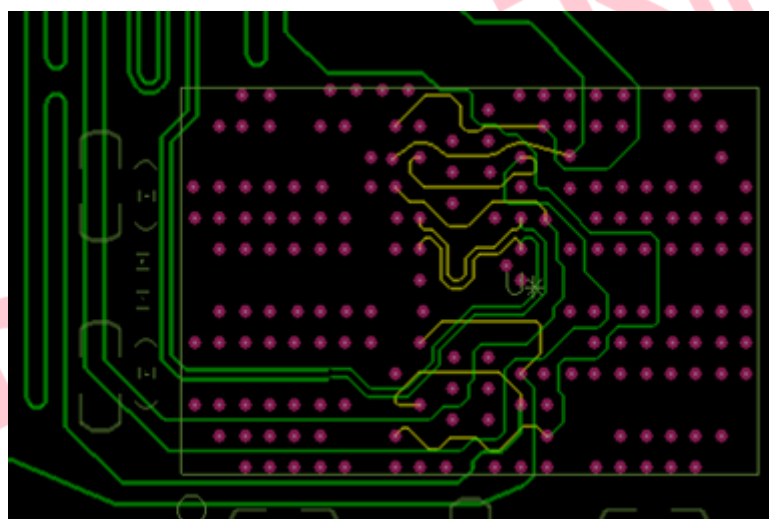


图 2.15 LPDDR4 单个颗粒 AC 信号 Fly-by 拓扑走线示意图

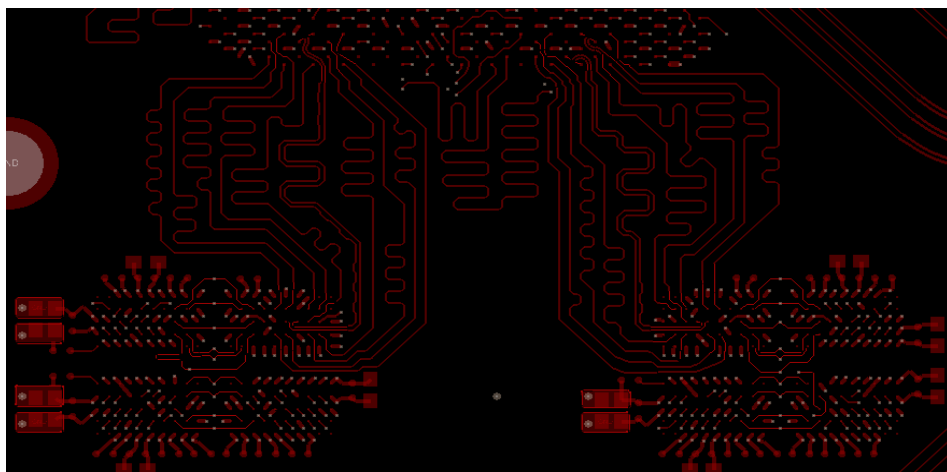


图 2.16 LPDDR4颗粒AC信号T拓扑走线示意图

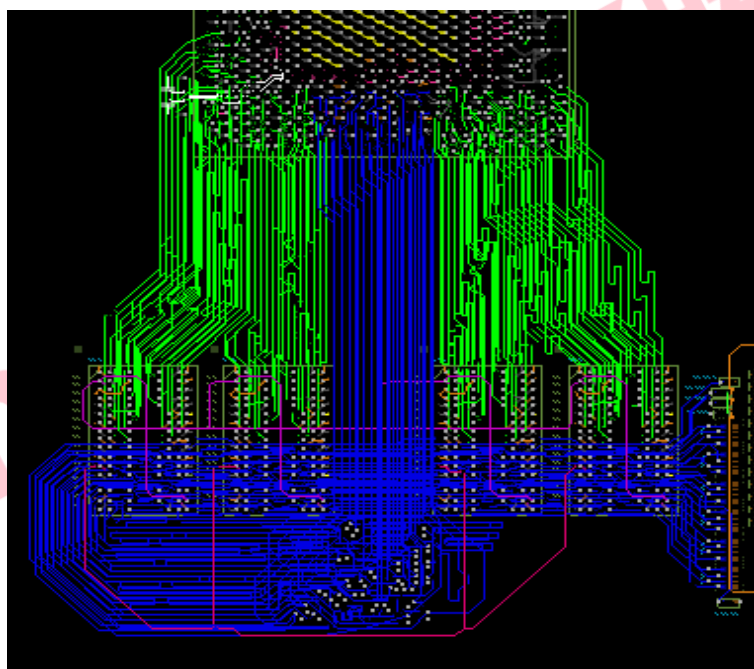


图 2.17 DDR4 X16 显存颗粒布线示意图（四层布线）

2.3.7.3 DDR4 SDRAM 端接设计

图 2.18 为 DDR4 SDRAM VTT 端接设计原理图和 PCB 参考。参考图 2.18，CLK 信号通过 39Ω 电阻和 10nF 电容端接到 GND，AC 信号通过 39Ω 排阻端接到 VTT 电源，同时每两个信号的 VTT 上拉处需就近放置一个对地的 100nF 去耦电容。为保证最佳信号质量，用户可根据实际环境调整端接电阻阻值。

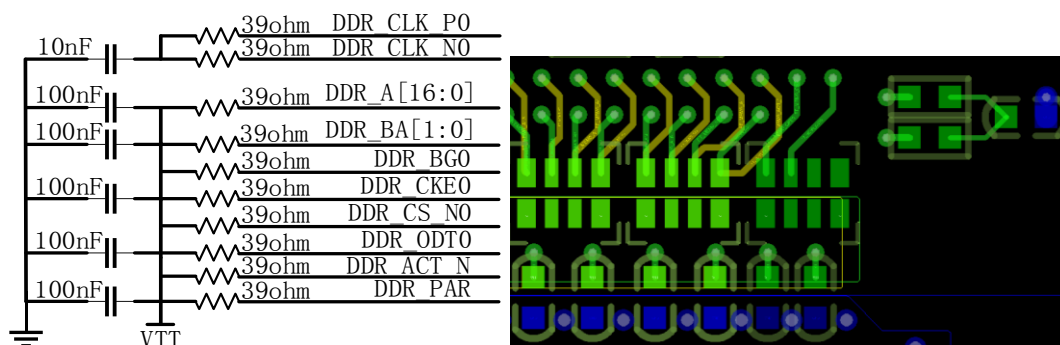


图 2.18 DDR4 SDRAM 端接设计参考

2.3.7.4 布线要求

表 2-14 LPDDR4 X32 SDRAM 布线要求（点对点/fly-by 拓扑）

类别	参数	要求
器件选型	校准电阻	240Ω 0402 1%
走线长度限制	信号 BGA 区域 0.1mm 走线长度	≤13mm(CLK/AC/DQS/DQ)
	信号分支节点到颗粒 channelA 走线长度	≤2mm(CLK/AC); 包含过孔长度
	信号分支节点到颗粒 channelB 走线长度	≤6.5mm(CLK/AC); 包含过孔长度
	颗粒扇出孔到焊盘走线长度	≤3mm(DQS/DQ/DM)
	信号布线总长度	L(DQS/DQ/DM)≤90mm 12mm≤L(AC/CLK)≤90mm
	MISC 信号(alert/reset)长度限制	≤200mm
走线长度匹配	DQS 与 CLK 间的最大长度差	-20mm≤L(CLK-DQS)≤50mm
	AC/CLK 走线组内等长	-2mm≤L(CLK-AC)≤2mm
	DQ/DM/DQS 走线组内等长	0mm≤L(DQ/DM-DQS)≤3mm
	CLK 差分对内等长	≤0.1mm
	DQS 差分对内等长	≤0.1mm
走线间距	间距 CLK 与其它	≥4H、与颗粒内过孔/焊盘间距≥3H
	间距 AC 信号间	≥3H
	间距 AC 到 DQ/DM/DQS	≥8H
	间距 DQS 与其它	≥4H、与颗粒内过孔/焊盘间距≥2H
	间距 DQ/DM 与其它	≥3H、与颗粒内过孔/焊盘间距≥2H
	间距 MISC 信号(alert/reset)与其它	≥1H
	自身间距	≥5H(CLK)、≥3H(AC/DQ/DM)、 ≥4H(DQS)、≥0.2mm(MISC)
	与参考平面边缘间距	≥3H(CLK/AC/DQS/DQ/DM)、 ≥1H(MISC)
换层	建议过孔数量	≤3 个(CLK/AC/DQS/DQ/DM/MISC)

表 2-15 LPDDR4 X32 SDRAM布线要求（点对点/T拓扑）

类别	参数	要求
器件选型	校准电阻	240Ω 0402 1%
走线长度限制	信号 BGA 区域 0.1mm 走线长度	≤13mm(CLK/AC/DQS/DQ)
	信号分支节点到颗粒焊盘走线长度	≤6mm(CLK/AC)
	颗粒扇出孔到焊盘走线长度	≤3mm(DQS/DQ/DM)
	信号布线总长度	L(DQS/DQ/DM)≤90mm L(AC/CLK)≤100mm
	MISC 信号(alert/reset)长度限制	≤200mm
走线长度匹配	DQS 与 CLK 间的最大长度差	-20mm≤L(CLK-DQS)≤80mm
	AC/CLK 走线组内等长	-2mm≤L(CLK-AC)≤2mm
	DQ/DM/DQS 走线组内等长	0mm≤L(DQ/DM-DQS)≤3mm
	CLK 差分对内等长	≤0.1mm
	DQS 差分对内等长	≤0.1mm
走线间距	间距 CLK 与其它	≥4H、与颗粒内过孔/焊盘间距≥3H
	间距 AC 信号间	≥3H
	间距 AC 到 DQ/DM/DQS	≥8H
	间距 DQS 与其它	≥4H、与颗粒内过孔/焊盘间距≥2H
	间距 DQ/DM 与其它	≥3H、与颗粒内过孔/焊盘间距≥2H
	间距 MISC 信号(alert/reset) 与其它	≥1H
	自身间距	≥5H(CLK)、 ≥3H(AC/DQ/DM)、 ≥4H(DQS)、 ≥0.2mm(MISC)
	与参考平面边缘间距	≥3H(CLK/AC/DQS/DQ/DM) 、≥1H(MISC)
换层	建议过孔数量	≤3 个(CLK/AC/DQS/DQ/DM/MISC)

- AC 单端阻抗控制：主干 45Ω，分支 50Ω；
- CLK 差分阻抗控制：主干差分 75Ω，分支 80Ω；
- DQS 差分阻抗控制：差分 75Ω；
- DQ/DM 单端阻抗控制：45Ω；
- MISC(alert/reset)单端阻抗控制：40~60Ω。

表 2-16 DDR4 X16 SDRAM 布线要求(Fly-by 拓扑)

类别	参数	要求
器件选型	校准电阻	240Ω 0402 1%
	端接电阻	39Ω 0402 5%

	CLK 端接电容	10nF 0402 10%
走线长度限制	AC/CLK 到首个颗粒的长度	$L \leq 120\text{mm}$
	DQ/DM/DQS 到首个颗粒的长度	$25\text{mm} \leq L \leq 80\text{mm}$
	MISC 信号(alert/reset)长度限制	$25.4\text{mm} \leq L \leq 150\text{mm}$
	相邻颗粒扇出孔间走线长度(中间颗粒除外)	$L \leq 14\text{mm}$
	中间两颗粒间走线长度	$L \leq 20\text{mm}$
	颗粒扇出孔到焊盘走线长度(包含过孔)	$\leq 2.5\text{mm}(\text{CLK})$ 、 $\leq 4\text{mm}(\text{Address})$ 、 $\leq 4\text{mm}(\text{CMD})$
	末端颗粒扇出孔到端接电阻长度(越短越优)	$\leq 10\text{mm}$
走线长度匹配	DQS 与 CLK 的最大长度差	$0\text{mm} \leq L(\text{CLK}-\text{DQS}) \leq 200\text{mm}$
	每个颗粒的 AC 走线与 CLK 走线等长	$-0.5\text{mm} \leq L(\text{CLK}-\text{AC}) \leq 0.5\text{mm}$
	DQ/DM/DQS 走线组内等长	$0\text{mm} \leq L(\text{DQ}/\text{DM}-\text{DQS}) \leq 0.25\text{mm}$
	每个颗粒 CLK 差分对内等长	$\leq 0.1\text{mm}$
	每个颗粒 DQS 差分对内等长	$\leq 0.1\text{mm}$
走线间距	间距 CLK 与其它	$\geq 5H$
	间距 AC 信号间	$\geq 3H$
	间距 AC 到 DQ/DM/DQS	$\geq 8H$
	间距 DQS 与其它	$\geq 4H$
	间距 DQ/DM 与其它	$\geq 3.3H$
	间距 MISC 信号(alert/reset)与其它	$\geq 1H$
	自身间距	$\geq 5H(\text{CLK})$ 、 $\geq 3H(\text{AC})$ 、 $\geq 4H(\text{DQS}/\text{DQ}/\text{DM})$ 、 $\geq 0.2\text{mm}(\text{MISC})$
	与参考平面边缘间距	$\geq 3H(\text{CLK}/\text{AC}/\text{DQS}/\text{DQ}/\text{DM})$ 、 $\geq 1H(\text{MISC})$
换层	建议过孔数量	≤ 3 个(DQ/DM/DQS)、 ≤ 5 个(CLK/AC/MISC)

- AC 单端阻抗控制：主干 45Ω ，颗粒间 50Ω ，扇出线 50Ω ，中间两颗粒间 50Ω ，末端端接走线 50Ω ；
- CLK 差分阻抗控制：主干 75Ω ，颗粒间 80Ω ，扇出线 80Ω ，中间两颗粒间 80Ω ，末端端接走线 80Ω ；
- DQS 差分阻抗控制： 75Ω ；
- DQ/MD 单端阻抗控制： 45Ω ；
- MISC(alert/reset)单端阻抗控制： $40\sim 60\Omega$ 。

2.4 USB 接口

2.4.1 接口特性

X100 集成 8 个 USB 主机控制器，支持 8 路独立的 USB3.1 Gen1 接口。USB 控制器包含如下特性：

- 兼容 xHCI1.0 规范
- 兼容 USB3.1Gen1 规范和 USB2.0 规范；
- 支持 USB3.1Gen1 超高速设备和 USB2.0 高速、全速、低速设备；
- 单个控制器总线网络最大支持挂载 16 个设备，包括 HUB 设备；
- 支持 MSI 中断。

2.4.2 信号描述

表 2-17 USB 接口描述

信号名称	方向	信号描述	推荐连接方式
USB3_REFCLK_P	I	X100 USB 100MHz 时钟差分信号	100nF 电容耦合连接
USB3_REFCLK_N	I		
USB3_Px_TXP	O	USB3.1 数据发送差分信号	100nF 电容耦合连接
USB3_Px_TXN	O		
USB3_Px_RXP	I	USB3.1 数据接收差分信号	直连
USB3_Px_RXN	I		直连
USB2_Px_DP	I/O	USB2.0 数据输入输出差分信号	直连
USB2_Px_DM	I/O		直连
USB3_REXT	I	USB3.1 外部校准电阻输入信号，外接 3.01K Ω 1%电阻到地	
USB2_RREF[7:0]	I	USB2.0 外部校准电阻输入信号，外接 200 Ω 1%电阻到地	
DRIVE_VBUS[7:0]	O	USB port0~7VBUS 驱动信号，高电平有效	
OC[7:0]_N	I	USB port0~7 过流检测信号，低电平有效	

2.4.3 拓扑结构

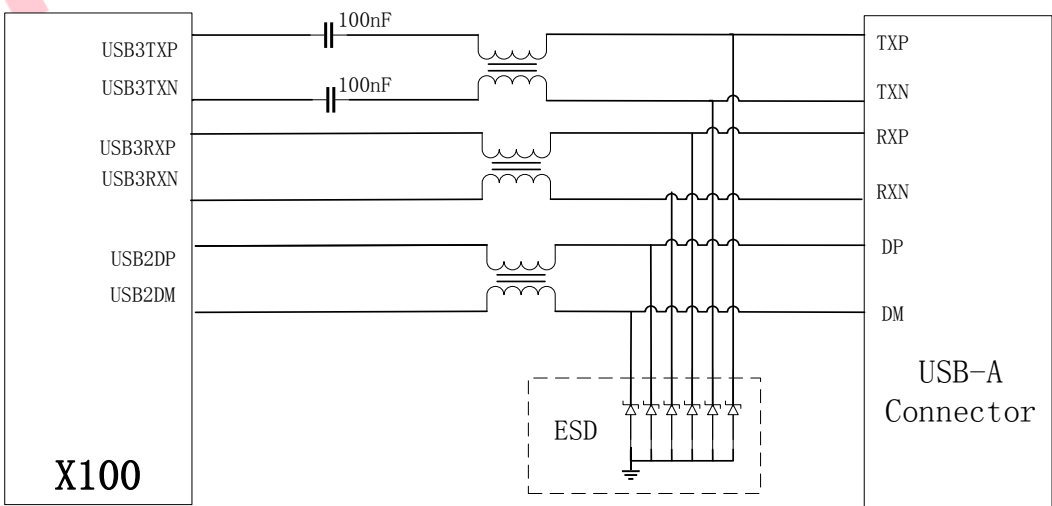


图 2.19 USB-A 接口连接拓扑

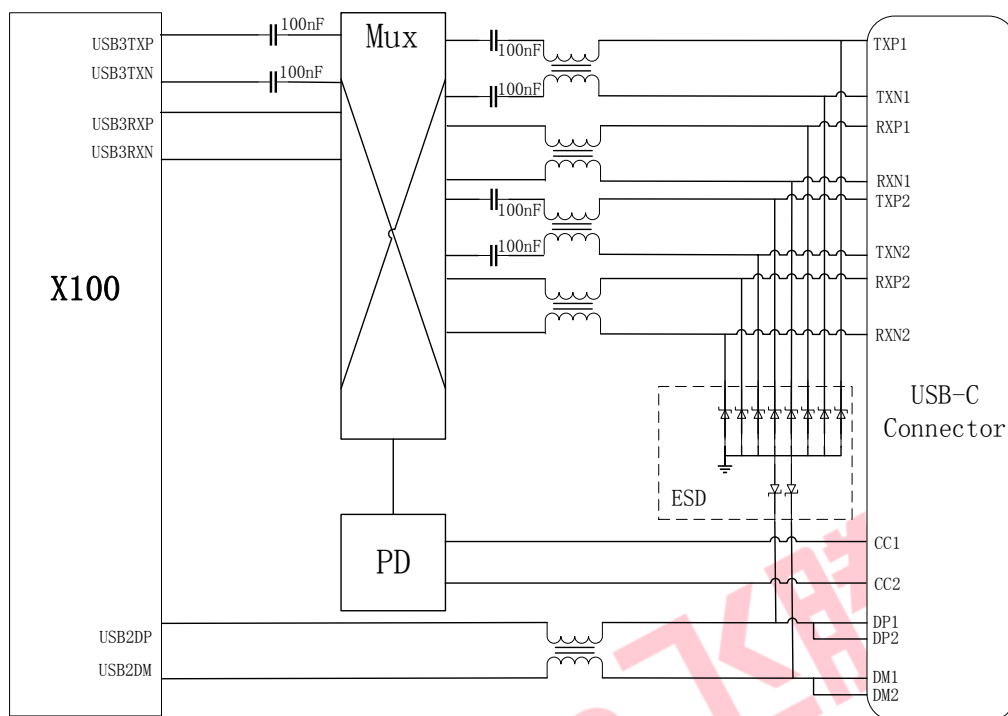


图 2.20 USB-C 接口连接拓扑一

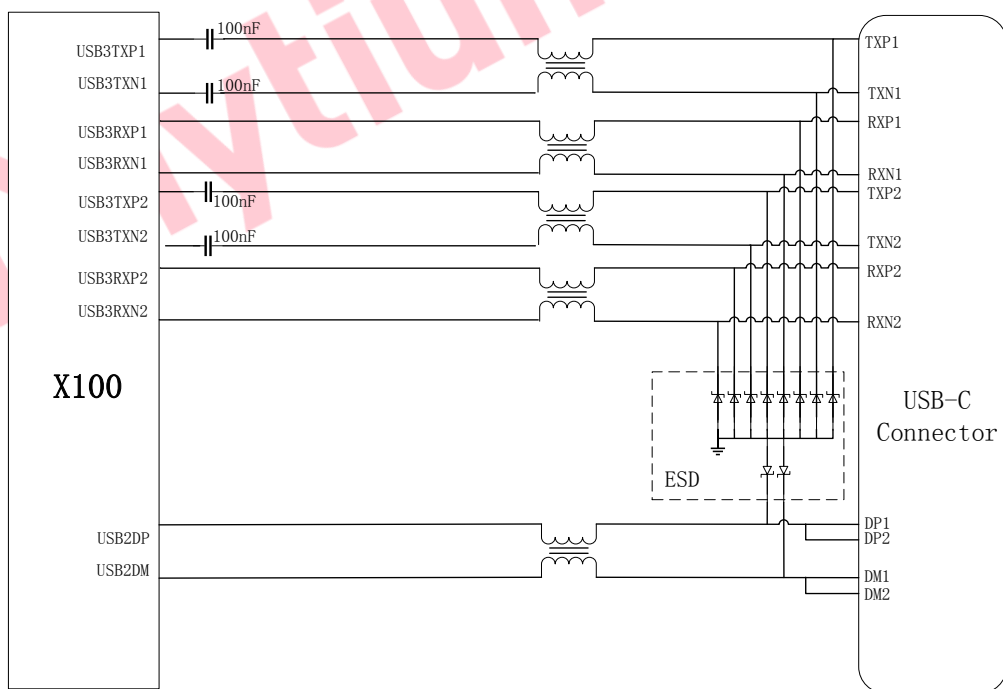


图 2.21 USB-C 接口连接拓扑二

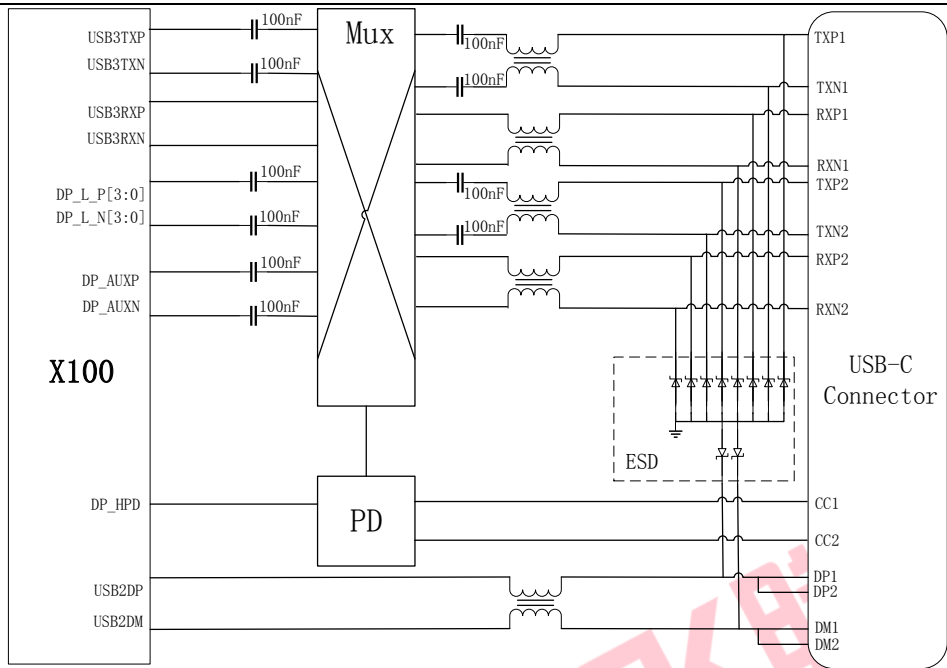


图 2.22 全功能 USB-C 接口连接拓扑

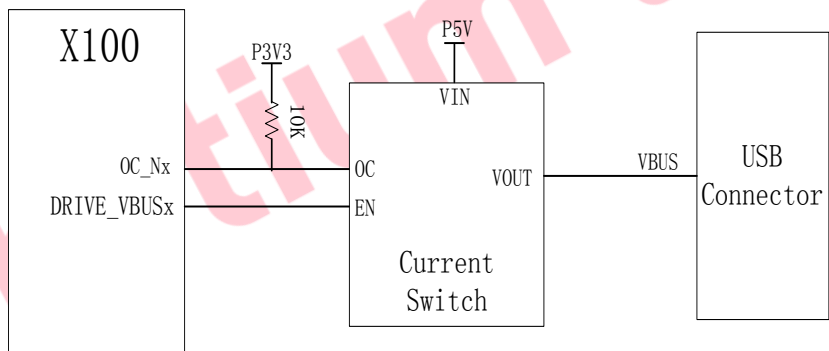


图 2.23 USB 过流保护连接拓扑

USB 接口过流保护连接拓扑如图 2.23 所示，USB 5V 电源需通过过流保护芯片接入连接器，X100 通过 DRIVE_VBUS 引脚输出高电平使能过流保护芯片，当外部设备短路或电流超过过流保护芯片阈值时，该芯片输出低电平给 OC_N 引脚，X100 收到过流信号后进行相应逻辑处理最终关闭该端口并通知用户该端口存在短路故障。

2.4.4 PCB 设计建议

2.4.4.1 布线要求

表 2-18 USB 布线要求

参数	要求
阻抗控制	90Ω±10%差分、50Ω±10%单端
AC 耦合电容	100nF 0402 10%
USB3.1 校准电阻	3.01KΩ 0402 1%

USB2.0 校准电阻	200Ω 0402 1%
USB3.1 板级最大损耗	8dB@2.5GHz
最大走线长度共模电感到连接器 (USB2.0 信号)	24mm
差分组内等长 (USB2.0 信号)	≤1.2mm
差分组内等长 (USB3.1 信号)	≤0.1mm
差分对间距离 (USB3.1Gne1 5Gbps)	≥7H
差分对间距离 (USB2.0 信号)	≥5H
与其它信号间距	≥5H
与参考平面边缘间距	≥5H
建议过孔数量	≤2 个

2.4.4.2 设计要点

- USB 信号走线参考 GND，保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。
- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量。
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量。
- 根据 USB3.1 规范要求，USB-A 接口电力传输为 5V 900mA，USB-C 接口可高达 100W（20V 5A），建议 VBUS 电源采用铺平面方式接入，建议提高电源通路的通流能力达到规范要求的 1.5 倍。
- TX 与 RX 信号之间走线无需等长处理。
- TX 信号上串接的 100nF 耦合电容尽量靠近 USB 座并对称放置，图 2.24。
- USB 座上机壳地与数字地完全分开单点连接。
- USB 信号 ESD 防护和过流保护器件靠近 USB 座放置，图 2.25。

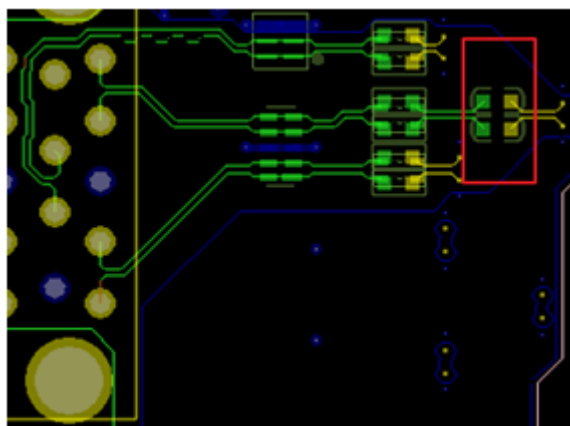


图 2.24 耦合电容 PCB 布局示意图

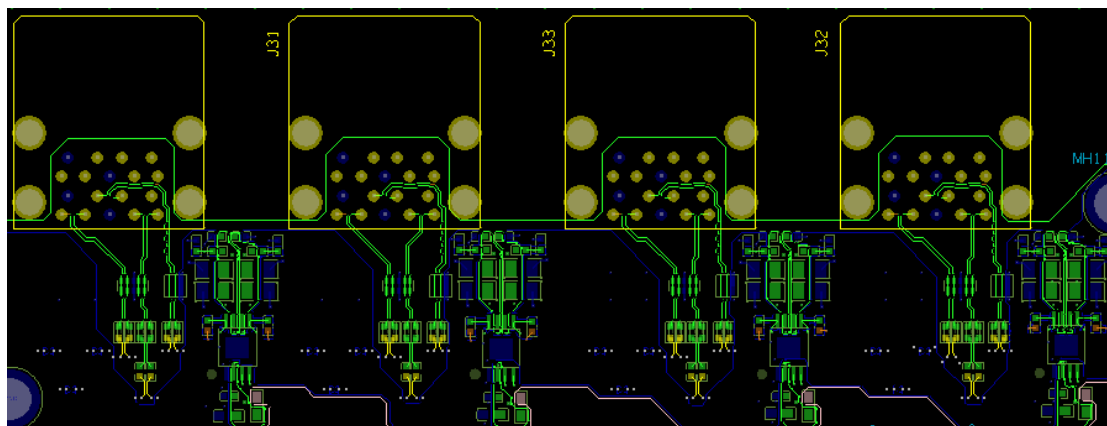


图 2.25 ESD 器件 PCB 布局示意图

2.5 DisplayPort 接口

2.5.1 接口特性

X100 集成 3 路 DisplayPort1.4 HBR2 显示接口，其中：两路为 4Lane，最大支持 3840×2160@60Hz；一路为 1Lane，最大支持 1366×768@60Hz。

DisplayPort 使用差分信号实现高带宽总线接口，支持来自 X100 芯片的视频及音频信号的输出。显示端口链路包含以下部分：

- Main Link：单向、高带宽和低延迟信道，用于传输非压缩视频和音频等同步数据
- Auxiliary Channel (AUX CH)：用于链路和设备控制的半双工双向通道
- Hot Plug Detect (HPD) signal：用于接收设备的中断请求

X100 DisplayPort 接口主要支持如下特性：

- 1) 支持 DisplayPort1.4 规范
 - 支持 AUX 辅助通道
 - 支持 HDCP1.3/HDCP2.2 加密
 - SST 模式
 - 最高支持 48bpp
- 2) 链接速率和多通道支持
 - 1、2、4 通道数
 - 链接速率 1.62~5.4Gbps
- 3) 支持 Embedded DisplayPort1.3 规范
 - Alternate framing/scrambler reset

- 快速训练
 - 面板自刷新（Panel self-refresh, PSR/PSR2）
 - 高级电源管理（Advanced Link Power Management, ALPM）
- 4) 颜色空间
- 支持 6、8、10、12、16bpc
- 5) Aux 通道
- 主机发起传输
 - 支持所有类型 AUX 命令的发送和接收
- 6) 支持音频通道
- I2S 接口
- 7) 热插拔检测
- 检测热插拔事件
 - Sink 设备发起中断请求

2.5.2 信号描述

表 2-19 DisplayPort 接口描述

信号名称	方向	信号描述	推荐连接方式
DP_REF_CLK_P	I	DP100MHz 时钟差分信号	100nF 电容 耦合连接
DP_REF_CLK_N	I		
DP0_L[3:0]_P	O	DP0 lane0~3 数据发送差分信号	100nF 电容 耦合连接
DP0_L[3:0]_N	O		
DP0_AUX_P	I/O	DP0 辅助通道差分信号	100nF 电容 耦合连接
DP0_AUX_N	I/O		
DP0_HPD	I	DP0 热插拔检查信号	直连
DP1_L[3:0]_P	O	DP1 lane0~3 数据发送差分信号	100nF 电容 耦合连接
DP1_L[3:0]_N	O		
DP1_AUX_P	I/O	DP1 辅助通道差分信号	100nF 电容 耦合连接
DP1_AUX_N	I/O		
DP1_HPD	I	DP1 热插拔检查信号	直连
DP2_L0_P	O	DP2 lane0 数据发送差分信号	100nF 电容 耦合连接
DP2_L0_N	O		
DP2_AUX_P	I/O	DP2 辅助通道差分信号	100nF 电容 耦合连接
DP2_AUX_N	I/O		
DP2_HPD	I	DP2 热插拔检查信号	直连
DP_REXT	I	DP 外部校准电阻输入信号，外接 3.01K Ω 1%电阻到地	
eDP_BL_EN ^[1]	O	eDP 屏幕背光使能信号，用于控制屏幕背光开/关。 0:disable	

		1:enable	
LCD_PWR_EN ^[1]	O	eDP 屏幕 LCD 电源使能信号，用于控制屏幕电源使能。 0:disable 1:enable	
MIO1_A	O	eDP 背光亮度 PWM 控制接口，用于控制 eDP 屏幕亮度， PIN Number: J29（不可更换 PIN）	
注：1:实际使用信号为 SE_GPIO，在设计中可映射到任意 SE_GPIO 实现功能。			

2.5.3 拓扑结构

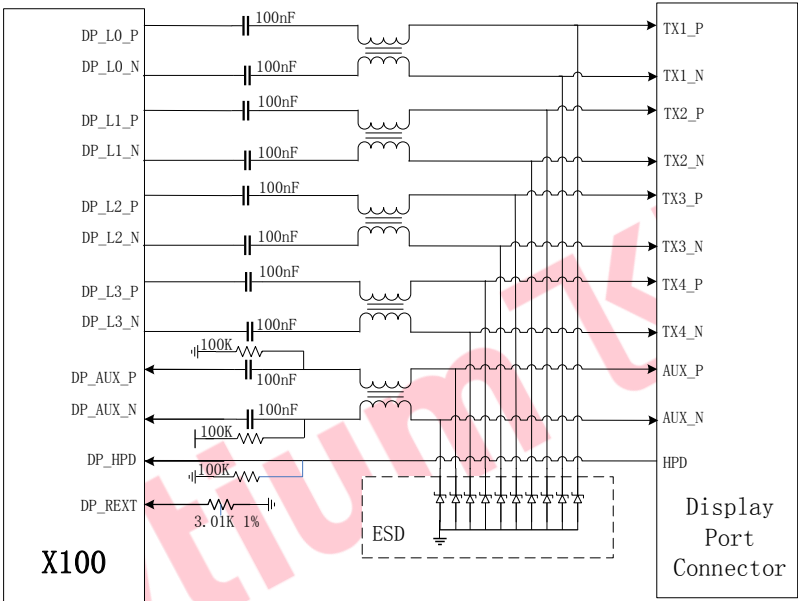


图 2.26 DisplayPort 连接拓扑

2.5.4 PCB 设计建议

2.5.4.1 布线要求

表 2-20 DisplayPort 布线要求

参数	要求
阻抗控制	100Ω±10%差分、50Ω±10%单端
AC 耦合电容	100nF 0402 10%
校准电阻	3.01KΩ 0402 1%
板级最大损耗	8dB@2.7GHz
差分对内等长	≤0.05mm
差分对间距离	≥5H
与其它信号间距	≥5H
自身间距	≥7H
与参考平面边缘最小间距	≥5H
建议过孔数量	≤4 个

2.5.4.2 设计要点

- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量。

- DisplayPort 信号走线必须按 $100\Omega \pm 10\%$ 阻抗差分走线。
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量。
- DisplayPort 信号走线参考 GND，保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。
- DisplayPort 信号 100nF 耦合电容尽量靠近 DisplayPort 座并对称放置，具体如图 2.27 所示。
- DisplayPort 座上机壳地与数字地完全分开单点连接。
- DisplayPort 信号 ESD 防护和过流保护器件靠近 DisplayPort 座放置。

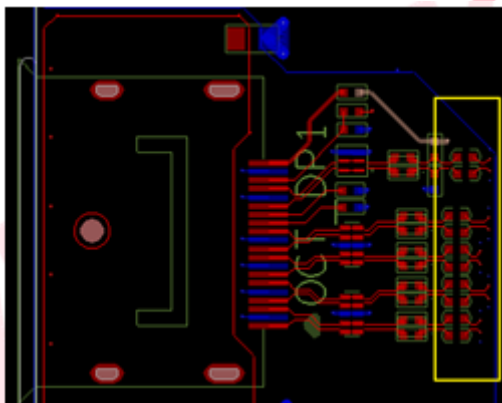


图 2.27 ESD 器件和耦合电容布局参考

2.6 SATA 接口

2.6.1 接口特性

X100 集成 4 路兼容 SATA3.0 规范的接口，其中 2 路与 PCIe X1 复用，1 路与 DisplayPort X1 复用。四路接口共用一个 SATA 控制器，兼容 AHCI1.3 和 1.31 规范（规范网址 <https://www.intel.com/content/www/us/en/io/serial-ata/ahci.html>），可以通过 SATA 接口和 M.2 接口（B key/M key）与符合 SATA 规范的设备相连接，支持连接 1.5Gb/s、3.0Gb/s、6.0Gb/s 的 SATA 设备，传输速率峰值大于 500MB/s。本控制器通过与 SATA AHCI 主适配器兼容的寄存器接口与存储设备交互，主机软件在访问寄存器接口时遵循相关的标准和约定，并遵循标准的命令协议约定。

有关功能的详细信息，请参见 SATA 控制器 CAP 寄存器（偏移地址为 00h），支持的主要功能：

- 电源管理（主控制器或设备请求进入 Partial 和 Slumber 电源状态的能力）；

- 错误检测（具体能检测的错误请参考各端口的 SERR 寄存器）；
- NCQ 操作（允许设备重新排序命令，以更有效的数据传输）；
- DMA 操作；
- 热拔插；
- 命令完成合并（通过允许指定数量的命令完成，然后生成一个中断来处理这些命令，减少中断开销）；
- 交错启动设备（控制硬盘驱动器启用顺序的能力，防止启动时的供电问题）；
- 端口扩展（1 个最多可扩展成 5 个）；
- 活动状态 LED 指示。

不支持功能：

- RAID；
- SATA Legacy Mode（IDE Mode）。

2.6.2 信号描述

表 2-21 SATA 接口描述

信号名称	方向	信号描述	推荐连接方式
SATA0_REFCLK_P	I	SATA0、SATA1、PCIE_DOWN[7:6] 100MHz 时钟差分信号	100nF 电容耦合连接
SATA0_REFCLK_N	I		
SATA2_REFCLK_P	I	SATA2、SATA3、DP2 100MHz 时钟差分信号	100nF 电容耦合连接
SATA2_REFCLK_N	I		
SATA[3:0]_TXP	O	SATA0-3 数据发送差分信号	10nF 电容耦合连接
SATA[3:0]_TXN	O		
SATA[3:0]_RXP	I	SATA0-3 数据接收差分信号	10nF 电容耦合连接
SATA[3:0]_RXN	I		
SATA[3:0]_REXT	I	SATA 外部校准电阻输入信号，外接 3.01K Ω 1%电阻到地	
SATA[3:0]_LED	O	SATA 状态指示灯信号 0: 无数据传输 1: 有数据传输	外接 LED 指示灯
HD_LED_N	O	SATA 状态指示灯信号 0: 4 个 SATA 接口中至少有一个口有数据传输 1: 4 个 SATA 接口均无数据传输	外接 LED 指示灯
SATA0_ATB0	O	SATA ATB 模拟测试管脚	NC
SATA0_ATB1	O	SATA ATB 模拟测试管脚	NC

2.6.3 拓扑结构

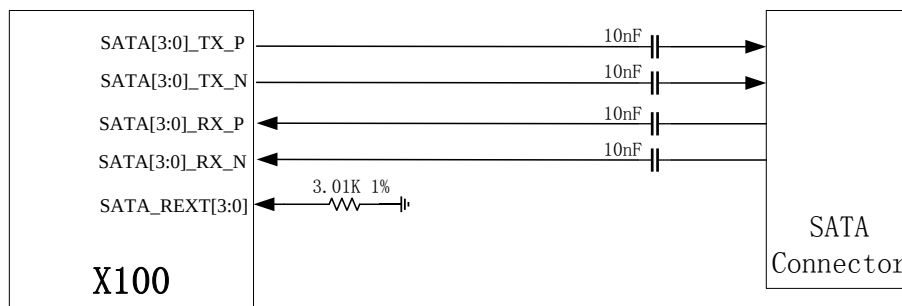


图 2.28 SATA 连接拓扑

2.6.4 PCB 设计建议

2.6.4.1 布线要求

表 2-22 SATA 布线要求

参数	要求
阻抗控制	100Ω±10%差分
AC 耦合电容	10nF 0402 10%
校准电阻	3.01KΩ 0402 1%
板级最大损耗	4dB@3GHz
差分对内等长	≤0.07mm
差分对间距离	≥5H
TX 和 RX 间距离	≥7H
与其它信号间距	≥5H
与参考平面边缘最小间距	≥5H
建议过孔数量	≤2 个

2.6.4.2 设计要点

- 尽量缩短走线长度，尽量远离开关电源、晶振等噪声源，以保证信号质量。
- SATA 信号走线必须按 100Ω±10%阻抗差分走线。
- 建议在换层孔附近添加回流孔，尽量减少换层过孔数量。
- SATA 信号走线参考 GND，保证参考平面完整，不建议存在跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。
- TX/RX 信号之间走线无需等长处理。
- TX/RX 信号同层走线时，建议保证 7H 间距。
- 如图 2.29 所示，SATA 信号 10nF 耦合电容尽量靠近 SATA 座并对称放置。

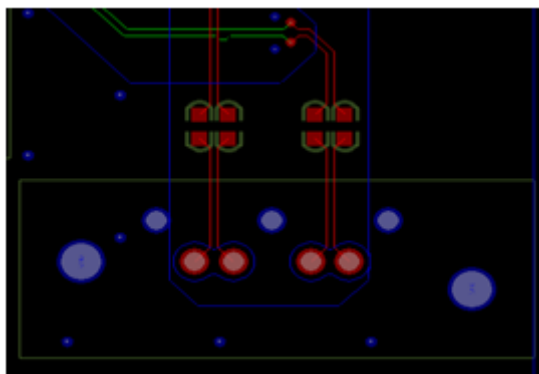


图 2.29 耦合电容布局参考

2.7 QSPI 接口

2.7.1 接口特性

X100 提供一个 QSPI 接口用作加载外部启动固件的唯一接口，各引脚无复用功能，接口电压 1.8V，建议直接引出连接到 1.8V 的 FLASH 芯片。支持如下功能：

- 支持 SPI、两线模式、四线模式、DPI 模式、QPI 模式下的命令协议；
- 支持 WP 写保护，当不处于四线模式或 QPI 模式时，写入保护输入和状态寄存器保护位一起提供由硬件输入信号控制的保护，使能四线模式或 QPI 模式时，软件应禁用此功能；
- 支持动态修改 SCK 频率，且支持动态修改不同指令对应的频率，复位后 SCK 频率初值足够低，能够正确读出 flash 内容。

不支持的功能：

- 不支持 SPI Nandflash；
- 不支持 hold 功能；
- 不支持加速模式；
- 不支持 DDR 模式下的命令协议。

2.7.2 信号描述

表 2-23 QSPI接口描述

信号名称	方向	默认方向	信号描述	连接方式	默认电平	片内上下拉
QSPI_SCK	O	O	时钟信号	源端串接	高	无
QSPI_IO0/MOSI	I/O	I	SPI: MOSI 数据信号；主机输出设备输入 QSPI: IO0，双向 IO0	33Ω 电阻，且 X100 到电阻间走线建议	NA	上拉
QSPI_IO1/MISO	I/O	I	SPI: MISO 数据信号；主机		NA	上拉

			输入设备输出 QSPI: IO1, 双向 IO1	不超过 40mm;		
QSPI_IO2/WP_N	I/O	I	SPI: WP 写保护 QSPI: IO2, 双向 IO2		NA	上拉
QSPI_IO3/HOLD_N	I/O	I	SPI: HOLD 信号 QSPI: IO3, 双向 IO3		NA	上拉
QSPI_CSN[3:0]	O	O	片选信号 0-3		高	无

备注: QSPI_CSN0 仅在接 vBIOS 时使用。

2.7.3 接口时序

表 2-24 QSPI接口时序说明

特性	符号	默认值	最小值	最大值	单位
数据传输时钟频率	F_{SCK}	1.5	0.375	24	MHz
数据传输时钟周期	P_{SCK}	$1/F_{SCK}$	--	--	-
QSPI_SCK 高电平时间	t_{CH}	$50\%P_{SCK}$	--	--	ns
QSPI_SCK 低电平时间	t_{CL}	$50\%P_{SCK}$	--	--	ns
QSPI_CS 信号为高电平最少时间	t_{CS}	68	编程配置 ¹	编程配置 ¹	ns
QSPI_CS 信号建立时间	t_{CSS}	116	编程配置 ¹	编程配置 ¹	ns
QSPI_CS 信号保持时间	t_{CSH}	116	编程配置 ¹	编程配置 ¹	ns
QSPI 数据输出 SCK 相对延迟时间	t_d	~2.5	--	--	ns
QSPI 输入数据建立时间	t_{su}	--	12	--	ns
QSPI 输入数据保持时间	t_{hd}	--	-4	--	ns

注: 如需配置, 请参考《飞腾 X100 软件编程手册》中的寄存器说明。

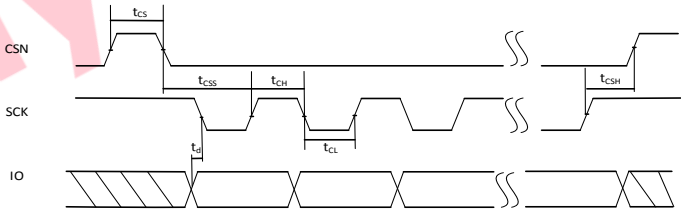


图 2.30 QSPI总线时序

2.7.4 拓扑结构

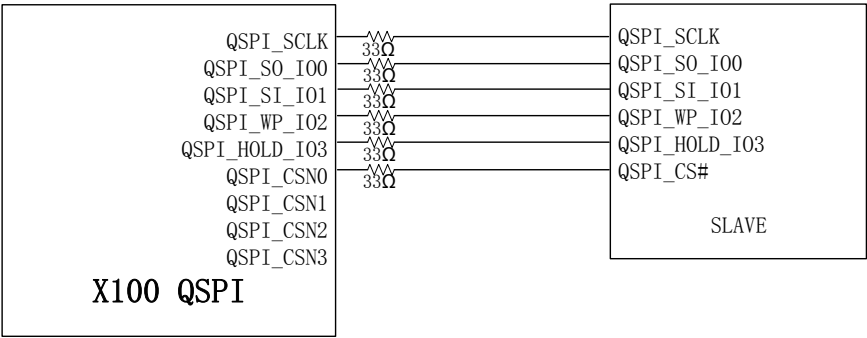


图 2.31 QSPI单从设备拓扑

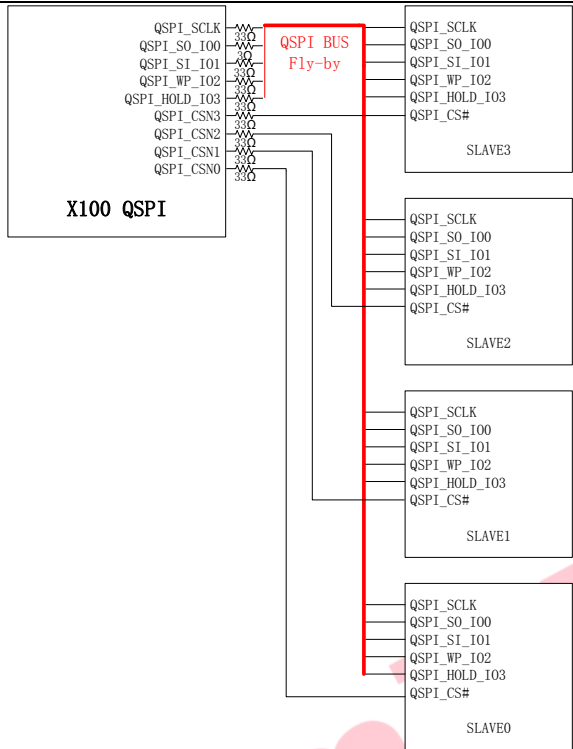


图 2.32 QSPI多从设备拓扑

备注：挂载多个从设备 SLAVE 时，启动固件仅支持从片选 0 连接的芯片启动。

2.7.5 布线要求

表 2-25 QSPI接口布线要求

参数	要求
阻抗控制	50Ω±10%单端
最大走线长度	<180mm
信号等长	<25mm
信号间最小距离	≥3H
时钟信号与其他信号间距	≥5H

备注：QSPI 接口连接多个器件时，采用 fly-by 拓扑结构，保证 stub 线尽量短，将 CSN0 上 BIOS FLASH 放到 fly-by 最末端。

2.8 SPI 接口

2.8.1 接口特性

X100 集成 2 个通用 SPI Master，可用于连接各类 SPI 外设。SPIM0 与 GPIO、MIO、SMBUS 接口引脚复用，接口电平 2.5V；SPIM1 与 NANDFLASH、GPIO 等接口引脚复用，接口电平 1.8V。主要特性指标如下：

- 支持主模式；

- 支持中断的屏蔽与清除；
- 主模式下，可编程接收串行数据位(rxd)采样延迟时间；
- 最大支持 4 片选，片选可由寄存器单独控制；
- SPI 时钟频率可配；
- 单次请求的数据长度为 4 到 16 位；
- 支持 4 种相位极性；
- 每路支持时钟关断。

2.8.2 信号描述

表 2-26 SPI接口描述

信号名称	方向	信号描述	推荐连接方式	默认电平	片内上下拉
SPIM0_CLK	O	SPIM0 时钟信号	源端串接 100Ω 电阻	低	无
SPIM0_MOSI	O	SPIM0 数据信号： 主机输出，设备输入		低	无
SPIM0_MISO	I	SPIM0 数据信号： 主机输入，设备输出		NA	下拉
SPIM0_CSN[3:0]	O	SPIM0 片选信号 0~3，低有效		高	无
SPIM1_CLK	O	SPIM1 时钟信号	直连	低	无
SPIM1_MOSI	O	SPIM1 数据信号： 主机输出，设备输入		低	无
SPIM1_MISO	I	SPIM1 数据信号： 主机输入，设备输出		NA	下拉
SPIM1_CSN[3:0]	O	SPIM1 片选信号 0~3，低有效		高	无

2.8.3 接口时序

表 2-27 SPI接口时序说明

测试	符号	极限值		单位
		最小值	最大值	
SCK 时钟周期	t_{clk}	42	--	ns
CSN 下降沿相对 SCK 上升沿的建立时间	t_{css}	39	--	ns
CSN 上升沿相对 SCK 时钟的保持时间	t_{csh}	19	--	ns
SI 输入数据相对 SCK 时钟的建立时间	t_{sis}	20	--	ns
SI 输入数据相对 SCK 时钟的保持时间	t_{sih}	10	--	ns
SO 输出数据相对 SCK 时钟的延迟时间	t_{odly}	34	--	ns

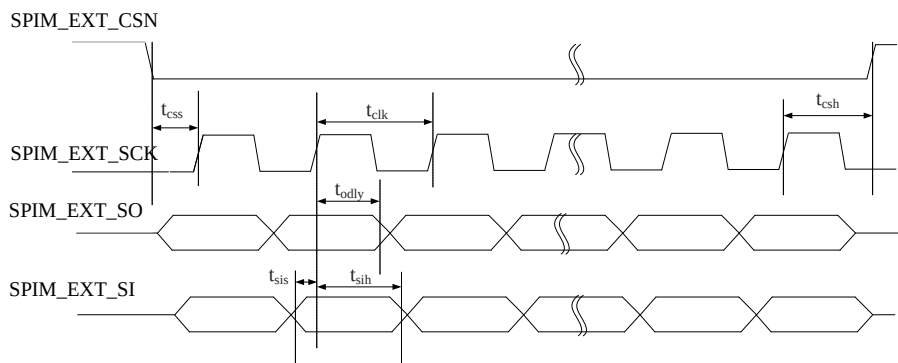


图 2.33 SPI时序图

2.8.4 拓扑结构

拓扑结构参考章节 2.7.4，需注意接口电平标准与外设是否兼容。

2.9 SD/SDIO/eMMC 接口

2.9.1 接口特性

X100 集成 2 个 SD/SDIO/eMMC 控制器，支持 SD3.0、SDIO3.0 和 eMMC5.0 协议规范。

控制器主要性能指标：

- 1) 兼容 SD3.0、SDIO3.0 协议规范；
- 2) 兼容 eMMC Electrical Standard 5.0 协议规范，但不支持数据流传输模式；
- 3) 支持接口线宽 1/4/8bit 软件可配；
- 4) 支持外部中断；
- 5) 支持热插拔；
- 6) 支持机械写保护；
- 7) 支持 UHS-I 模式。

其中：第一组引脚与 SE_GPIO、GPIO、MIO、I2S、SMBus 等接口复用，接口电压 2.5V；

第二组引脚与 GPIO、NandFlash、UART0、UART1 等接口复用，接口电压 1.8V。

2.9.2 信号描述

表 2-28 SD/SDIO/eMMC 接口描述

信号名称	方向	默认方向	信号描述	连接方式	默认电平	片内上下拉
SDx_CARD_VOLT ^[1]	O	O	外部电压控制	SD0: 源端串接 100Ω 电阻；	低	无
SDx_RST_N	O	O	复位信号输出		高	无
SDx_CLK	O	O	时钟信号		低	无
SDx_CMD	I/O	O	命令信号		高	上拉
SDx_WP_N	I	I	写保护使能	SD1: 源端串	NA	无

SDx_DET_N	I	I	卡在位检测信号，低有效	接 33Ω 电阻，且 X100 到电阻间走线建议不超过 40mm	NA	无
SDx_CMD_PU_EN_N	O	O	CMD 上拉使能信号，低有效		高	无
SDx_CARD_POWER_EN	O	O	外部电源使能信号		高	无
SDx_DATA[7:0]	I/O	I	数据信号		NA	上拉
注[1]: SDx_CARD_VOLT 为高时，SD 卡外部供电选择为 1.8V，反之外部供电选择为 2.5V。(x 代表控制器 0 和控制器 1)						

2.9.3 接口时序

表 2-29 标准模式的总线时序参数值

特性	符号	最小值	最大值	单位
时钟频率(任意状态)	f_{STP}	0	25	MHZ
时钟频率（数据传输状态）	f_{PP}	0	25	MHZ
时钟频率（识别模式）	f_{OD}	0/100	400	KHZ
时钟低电平	t_{WL}	10	--	ns
时钟高电平	t_{WH}	10	--	ns
输入建立时间	t_{ISU}	5	--	ns
输入保持时间	t_{IH}	5	--	ns
$C_{card} \leq 10pF, (1card), C_L = C_{BUS} + C_{HOST} + C_{CARD} \leq 40pF$				

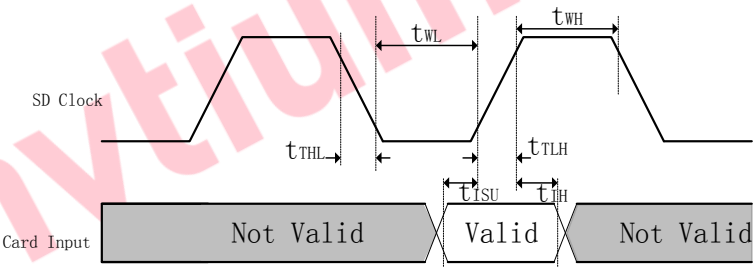


图 2.34 SD 卡时钟数据输入输出时序图（标准模式）

2.9.4 拓扑结构

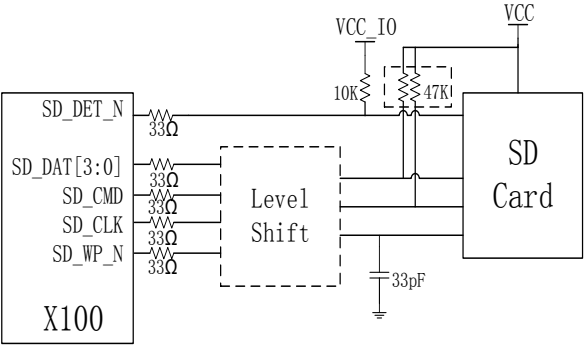


图 2.35 SD 卡 4 线拓扑

注意：SD_DAT0~3 每根数据线都需要上拉，WP 管脚是否需要使用视卡类型而定。

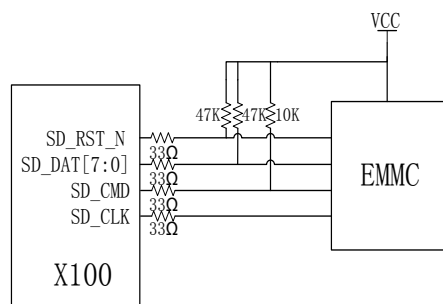


图 2.36 eMMC 拓扑

注意：SD_DAT0~7 每根数据线都需要上拉，CMD 管脚需要较强大的驱动能力，上拉电阻阻值稍小即可。

2.9.5 布线要求

表 2-30 SD/SDIO/eMMC 接口布线要求

参数	要求
阻抗控制	SD0: 60Ω±10%单端、SD1: 50Ω±10%单端
最大走线长度	300mm
信号间最小距离	≥3H
时钟信号与其他信号间距	≥5H

2.10 NandFlash 接口

2.10.1 接口特性

X100 集成 1 个 NandFlash 控制器，支持 ONFI2.2 协议，接口电压 1.8V。NANDFlash 是一种非易失性存储器，具有存储密度高、编程擦除速度快、成本低、寿命高等特点，是存储芯片的主流。NANDFlash 控制器设计实现芯片与 NANDFlash 存储设备之间的数据传输，主要功能如下：

- 支持接口电压 1.8V；
- 支持 ONFI 2.2 及以下接口协议，ONFI 协议时支持异步和同步两种传输模式；
- 支持同时外接 4 个 NANDFlash 设备；
- 支持 DMA，采用描述符模式；
- 上层采用 APB4 总线完成配置信息，采用 AXI4 总线进行 DMA 数据传输；
- 支持的命令集：ONFI NANDFlash 协议命令集；
- 支持多层单元闪存(MLC)、单层单元闪存(SLC)；
- 支持的页大小(page size)：512B，2KB，4KB，8KB，16KB；
- 支持 spare 空间读写，spare size 可配置；

- 支持接口 Timing 类型可配置；
- 支持 8-bit 和 16-bit NANDFlash 数据位宽；
- ECC 校验：2bits/512B，4bits/512B 纠错能力，BCH 校验算法；
- 支持中断、错误处理，状态查询；
- 异步 8 位宽模式下传输带宽为 23MB/s，同步模式下传输带宽 80MB/s。

2.10.2 信号描述

表 2-31 NandFlash 接口描述

信号名称	方向	默认方向	信号描述	连接方式	默认电平	片内上下拉
NFC_CE_N[3:0]	O	O	片选信号 0~3	源端串接 33Ω 电阻，且 X100 到电阻间走线建议不超过 40mm	高	无
NFC_RB_N	I	I	Ready/Busy 状态指示接收信号，低为 Busy		NA	上拉
NFC_REN_WRN	O	O	读使能信号与读写方向信号		低	无
NFC_WEN_CLK	O	O	写使能信号与时钟信号		低	无
NFC_CLE	O	O	命令锁存信号		低	无
NFC_ALE	O	O	地址锁存信号		低	无
NFC_DQS	I/O	I	数据选通 (True)		NA	上拉
NFC_WP_N	O	O	写保护使能信号		高	无
NFC_D[15:0]	I/O	I	16 位数据信号		NA	上拉

2.10.3 接口时序

2.10.3.1 SDR 模式

表 2-32 SDR 模式电特性说明

特性	符号	最小	最大	单位
SDR 异步模式				
片选信号拉低到 NFC_CLE 拉高	A0	5	--	ns
NFC_CLE 拉高到 NFC_WEN_CLK 拉低	A1	5	--	ns
NFC_WEN_CLK 拉低到 NFC_WEN_CLK 拉高	A2	11	--	ns
NFC_WEN_CLK 拉高到数据保持结束	A3	11	--	ns
NFC_CLE 拉低到片选信号拉高	A4	5	--	ns
数据结束到 NFC_CLE 拉低	A5	5	--	ns
数据提前输出	A6	10	--	ns
NFC_WEN_CLK 拉高到片选信号拉高	A7	10	--	ns
NFC_RBN 拉高到 NFC_REN_WRN 拉低	A8	180	--	ns
NFC_REN_WRN 高电平保持	A9	11	--	ns
读数据周期	A10	22	--	ns
地址周期与写数据周期之间的间隔	A11	34	--	ns

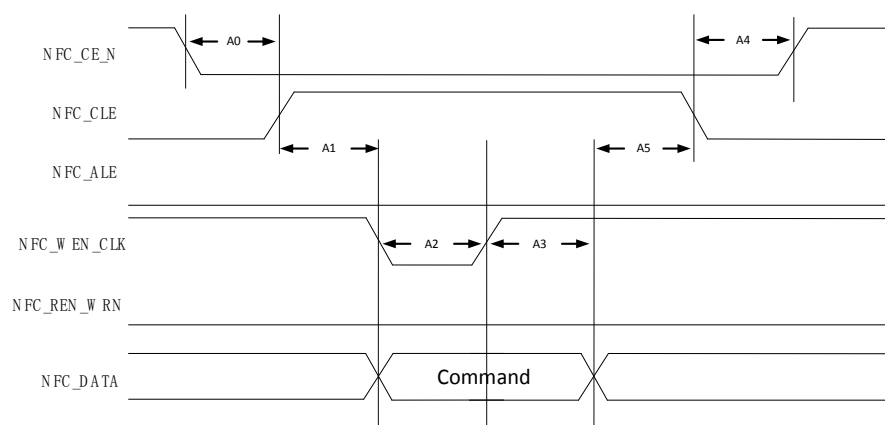


图 2.37 SDR 命令发送

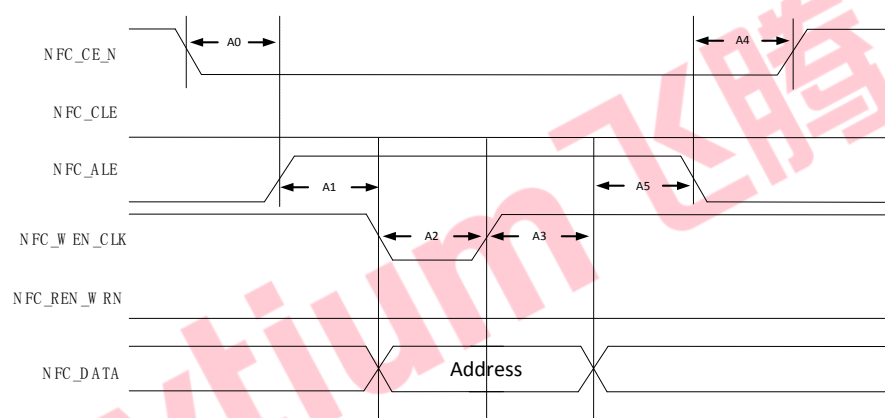


图 2.38 SDR 地址发送

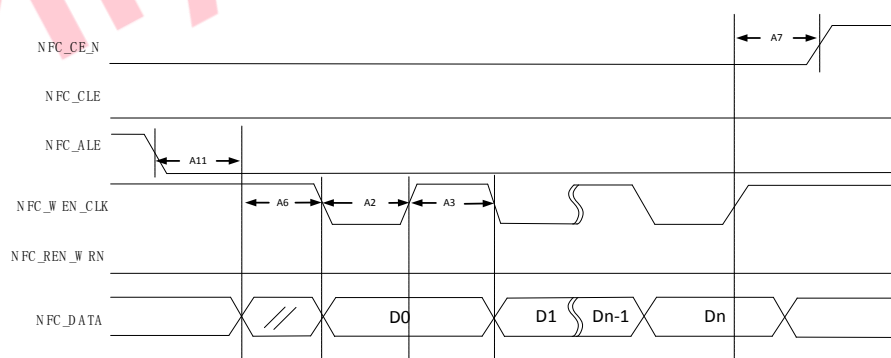


图 2.39 SDR 数据发送

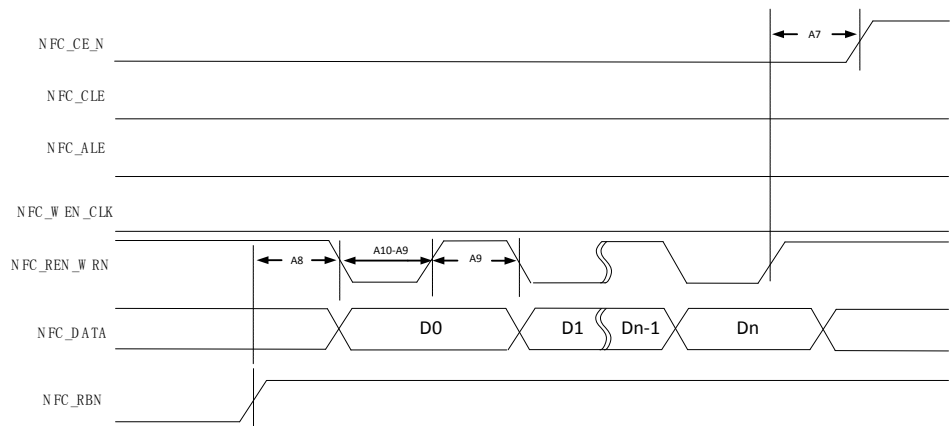


图 2.40 SDR 数据接收

2.10.3.2 DDR1 模式

表 2-33 DDR1 模式电特性说明

特性	符号	最小	最大	单位
片选为低到数据方向为输出时间	S1	42	--	ns
时钟周期	S2	19.2	--	ns
数据方向为输出到数据有效时间	S3	3	--	ns
地址周期间隔时间	S4	12.8	--	ns
半个时钟周期	S5	10	--	ns
命令、地址或数据输出周期到数据输入周期的时间间隔	S6	200	--	ns
命令、地址或数据输入周期到数据为输出周期的时间间隔	S7	200	--	ns
0.75~1.25 倍时钟周期	S8	19.2	--	ns
NFC_DQS 保持时间	S9	33.6	--	ns
NFC_WEN_WRN 建立时间	S11	12.8	--	ns
NFC_WEN_WRN 为低到数据输出周期	S12	19.2	--	ns
数据输入结束到 NFC_WEN_WRN 为高	S13	22.8	--	ns
NFC_WEN_WRN 为高到 DQS 为高	S16	19.2	--	ns

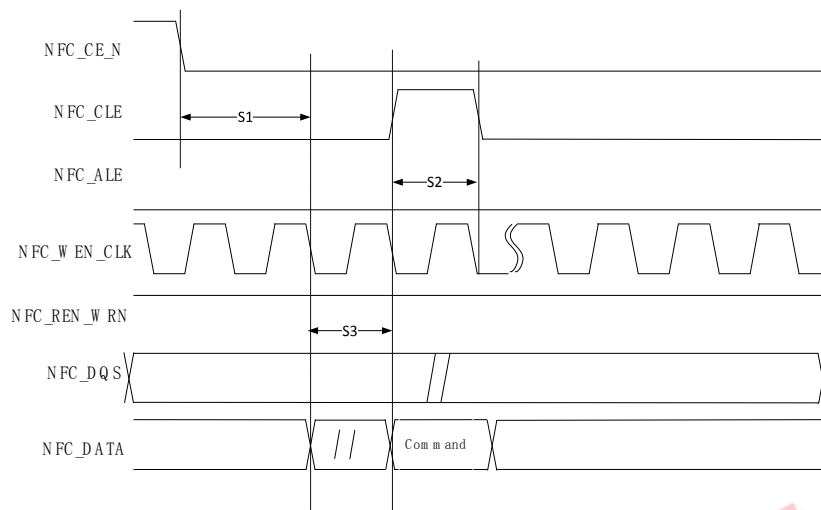


图 2.41 DDR1 命令发送

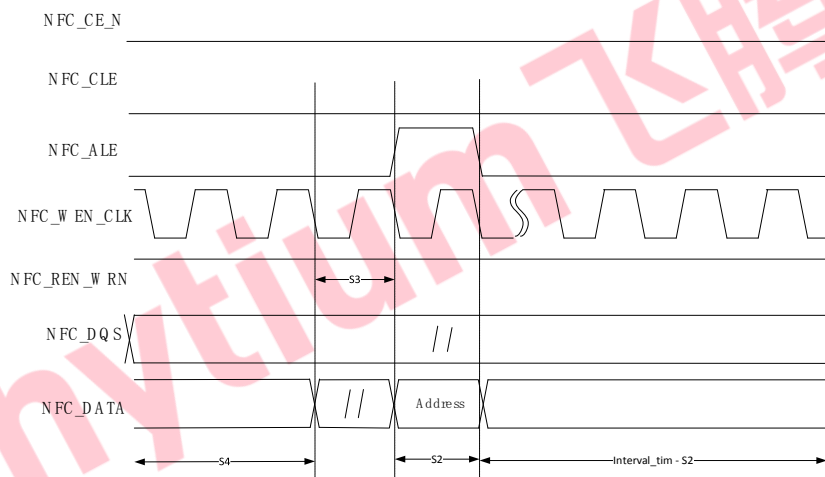


图 2.42 DDR1 地址发送

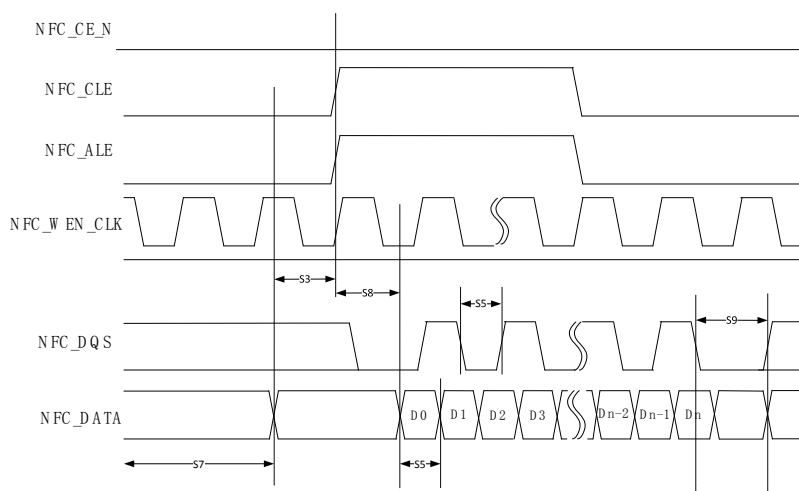


图 2.43 DDR1 数据发送

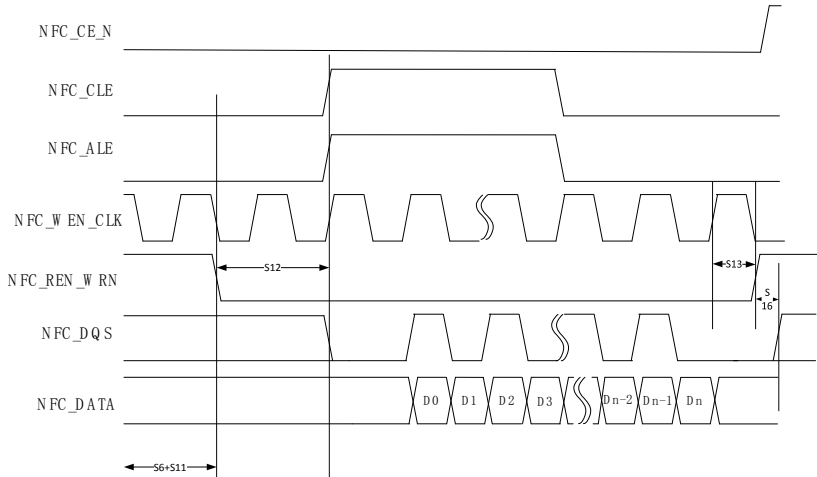


图 2.44 DDR1 数据接收

2.10.3.3 DDR2 模式

表 2-34 DDR2 模式电特性说明

特性	符号	最小	最大	单位
NFC_CE_N 拉低到 NFC_CLE 拉高	T0	12.8	--	ns
NFC_CLE 拉高到 NFC_WEN_CLK 拉低	T1	12.8	--	ns
地址周期与写数据周期之间的间隔	T2	320	--	ns
NFC_RBN 拉高到 NFC_REN_WRN 拉低	T3	320	--	ns
NFC_CLE 拉低到 NFC_CE_N 拉高	T4	12.8	--	ns
数据结束到 NFC_CLE 拉低	T5	12.8	--	ns
读周期前，NFC_REN_WRN 低电平保持时间	T6	16	--	ns
NFC_REN_WRN 最后一个下降沿到 NFC_CE_N 拉高	T7	32	--	ns
半个数据周期	T8	12.8	--	ns
NFC_CE_N 拉高到 NFC_REN_WRN 拉高	T9	32	--	ns
DQS 拉高前，低电平保持时间	T10	16	--	ns
NFC_DQS 最后一个下降沿到 NFC_CE_N 拉高	T11	32	--	ns

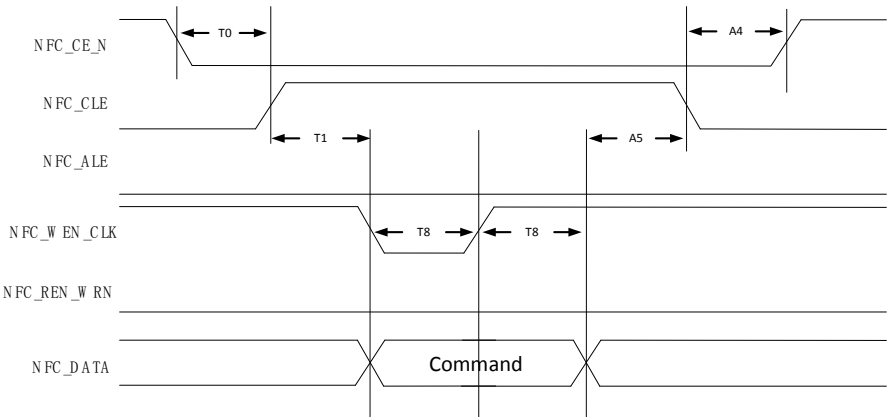


图 2.45 DDR2 命令发送

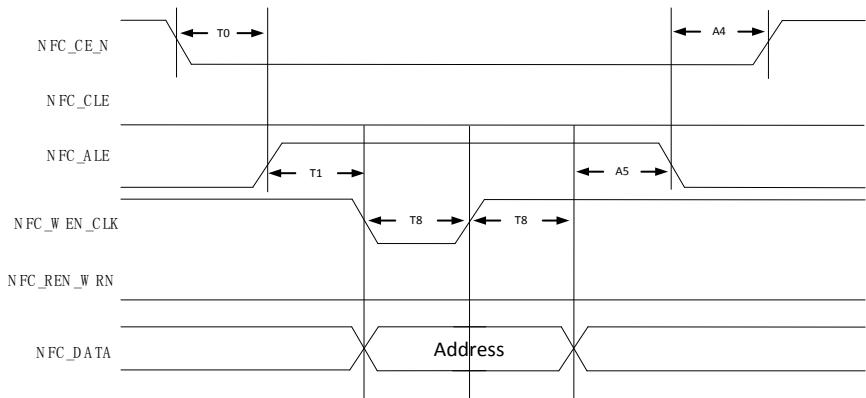


图 2.46 DDR2 地址发送

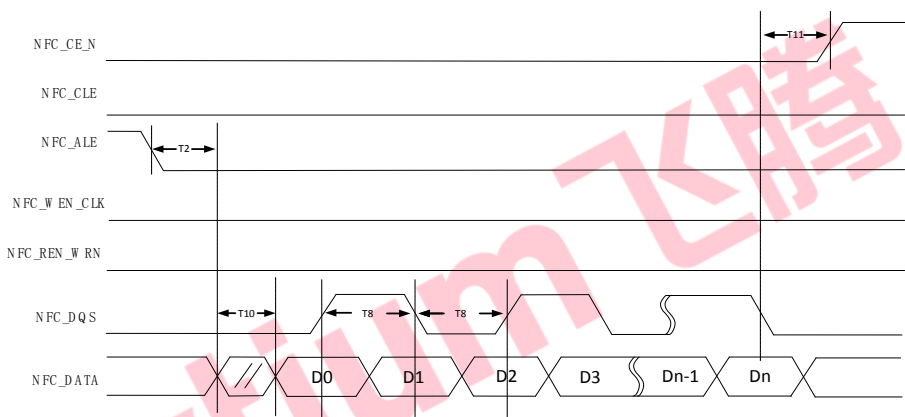


图 2.47 DDR2 数据发送

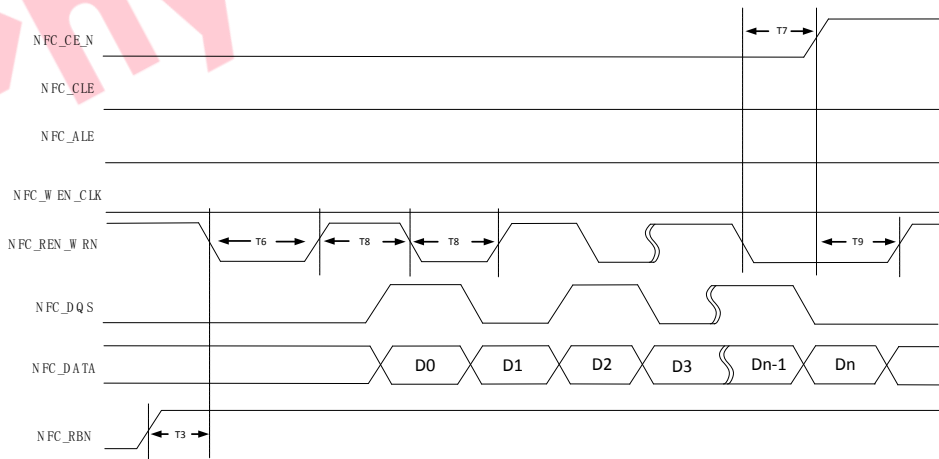


图 2.48 DDR2 数据接收

2.10.4 拓扑结构

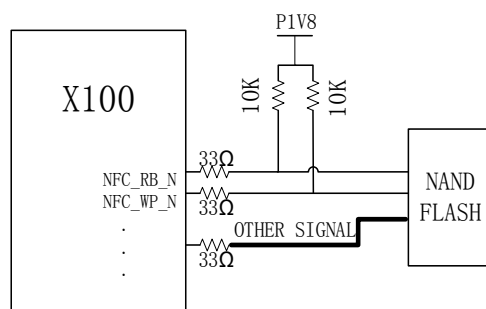


图 2.49 X100 NandFlash 拓扑

注意：建议 NFC_RB_N、NFC_WP_N 信号外接上拉电阻。

2.10.5 布线要求

表 2-35 NandFlash 接口布线要求

参数	要求
阻抗控制	50Ω±10%单端
最大走线长度	300mm
信号等长	≤10mm
信号间最小距离	≥3H
时钟信号与其他信号间距	≥5H

2.11 I2S 接口

2.11.1 接口特性

X100 集成 4 路 I2S，其中 3 路固定服务于 DisplayPort 接口，另有 1 路可接 I2S Codec，该路 I2S 与 SE_GPIO、SD/SDIO/eMMC1、LSD_MIO 等接口引脚复用，接口电压 2.5V。支持如下功能：

- 支持最大通道数目：2；
- 单通道支持声道数目：2；
- 支持采样分辨率：8/16/20/24bit；
- 支持采样频率：44.1/48KHz；
- 频率：2.8224MHz/3.072MHz；
- 传输带宽：15Mbps；
- 支持部件时钟关断。

2.11.2 信号描述

表 2-36 I2S 接口描述

信号名称	方向	信号描述	连接方式	默认电平	片内上下拉
I2S_MCLK	O	主时钟/系统时钟	源端串接 100Ω	NA	无

I2S_WS	O	帧时钟，左右声道区分	电阻	低	无
I2S_SCLK	O	串行时钟/位时钟		低	无
I2S_SDO[3:0]	O	数据输出 0~3		低	无
I2S_SDI[3:0]	I	数据输入 0~3		NA	下拉

2.11.3 接口时序

表 2-37 I2S接口时序说明

特性	符号	最小	最大	单位
MCLK 频率	--	--	51.2	MHz
MCLK 占空比	--	40	60	%
LRCK 频率	--	--	200	KHz
LRCK 占空比	--	40	60	%
SCLK 频率	--	--	26	MHz
SCLK 低电平时间	TSCLKL	15	--	ns
SCLK 高电平时间	TSCLKH	15	--	ns
SCLK 下降沿到 LRCK 边沿	TSCLR	-10	10	ns
SCLK 下降沿到 SDO	TSDO	0	--	ns
SDIN 的建立时间	TSDIS	10	--	ns
SDIN 的保持时间	TSDIH	10	--	ns

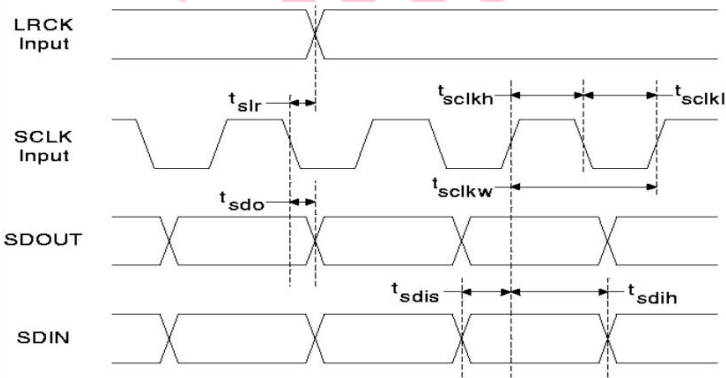


图 2.50 I2S时序图

2.11.4 拓扑结构

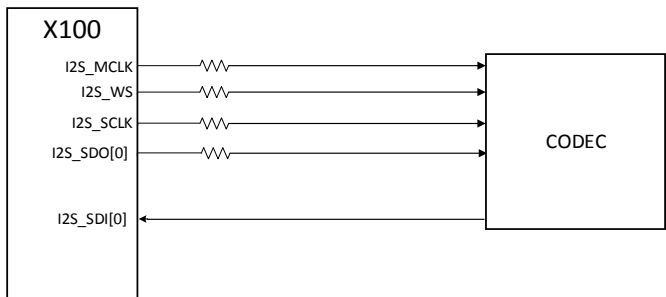


图 2.51 I2S 设备连接拓扑

2.12 PS/2 接口

2.12.1 接口特性

X100 集成 2 个 PS/2 控制器，第一个控制器与 QSPI CSN 等引脚复用，第二个控制器与 NANDFLASH 等接口复用，接口电压 1.8V 而协议的电平标准为 5V，需使用电平转换芯片进行电平转换。

2.12.2 信号描述

PS/2 的时钟信号线一般由设备驱动时钟沿：当主控接收数据时，时钟的采样沿是下降沿；当主控发送数据时，主控按时钟下降沿驱动数据信号，设备按时钟上升沿采样。当主控需要向设备发送数据时，需要先下拉时钟信号线至少 100 μ s，然后释放，用于请求设备提供时钟。PS/2 的数据信号线由主控与设备分时驱动。其余描述如表 2-38 所示。

表 2-38 PS/2 接口信号描述

信号名称	方向	默认方向	信号描述	推荐连接方式	默认电平	片内上下拉
PS2_P0_CLK	I/O	I	通道 0 时钟信号	直连	NA	无
PS2_P0_DAT	I/O	I	通道 0 数据信号		NA	无
PS2_P1_CLK	I/O	I	通道 1 时钟信号		NA	无
PS2_P1_DAT	I/O	I	通道 1 数据信号		NA	无

2.12.3 接口时序

表 2-39 PS/2接口电特性

特性	符号	最小值	最大值	单位
时钟采样沿之前数据保持时间	Tsh	5	--	μ s
时钟沿之后数据保持时间	Th	5	--	μ s
主控发送请求时间	Tr	100	--	μ s
设备响应时间	Twr	--	15	ms
包传输时间	Tp	--	2	ms

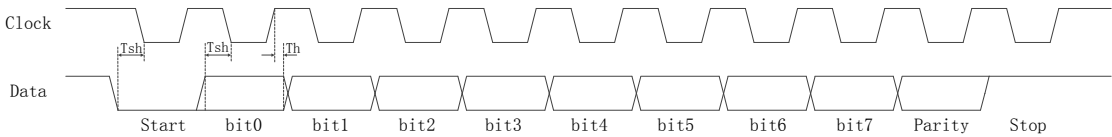


图 2.52 主控接收时序图

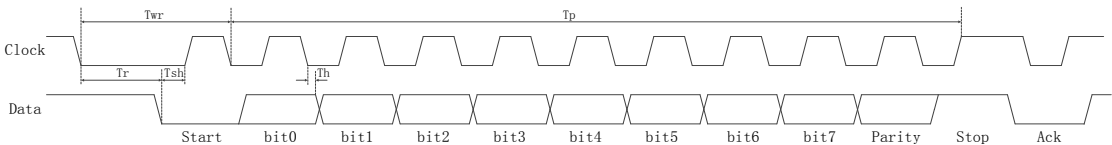


图 2.53 PS/2 主控发送时序图

2.12.4 拓扑结构

点对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容。

2.13 CAN 接口

2.13.1 接口特性

X100 集成两个 CAN 控制器，兼容 CAN2.0 标准协议，CAN 接口与 SD1 等接口引脚复用，接口电压 1.8V。CAN 控制器支持如下特性：

- 支持以下协议：CAN standard、CAN extend 协议；
- 支持以下帧格式：data frame、remote frame、error frame、overload frame；

CAN 最高传输 1Mbps。

2.13.2 信号描述

表 2-40 CAN 接口描述

信号名称	方向	信号描述	推荐连接方式	默认电平
CAN0_RX	I	通道 0 数据接收	直连	NA
CAN0_TX	O	通道 0 数据发送		高
CAN1_RX	I	通道 1 数据接收		NA
CAN1_TX	O	通道 1 数据发送		高

2.13.3 接口时序

表 2-41 CAN 接口时序说明

特性	符号	最小	最大	单位
rx 和 tx 周期(波特率的倒数)	T	1000	200000	ns
rx 和 tx 低电平时间	t_L	1	6	T
rx 和 tx 高电平时间	t_H	1	--	

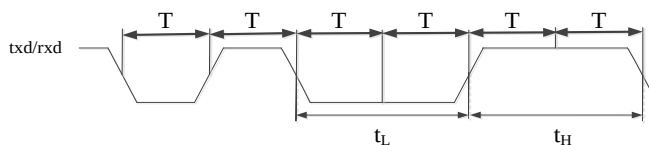


图 2.54 CAN 时序图

2.13.4 拓扑结构

点对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容。

2.14 MIO 接口

2.14.1 接口特性

X100 集成 8 路 MIO 接口，每个 MIO 均可单独当作 UART(二针)/I2C/PWM，具体电特性要求需满足复用功能的电特性要求。当需要使用对应的功能时，需要软件进行相应配置，具体配置流程请参考《飞腾 X100 软件编程手册》第 17 章。

2.14.2 信号描述

MIO 为 UART/I2C/PWM 的集合接口。且信号直接有对应关系，详细设计见表 2-42。

表 2-42 MIO 复用对照表

功能	MIO 名	功能信号名	描述	备注
I2C	MIO[7:0]_A	I2C_SCL	I2C 接口的时钟信号	
	MIO[7:0]_B	I2C_SDA	I2C 接口的数据信号	
PWM	MIO[7:0]_A	PWM	PWM 接口的输入/输出	
	MIO[7:0]_B	--	--	
UART	MIO[7:0]_A	UART_RXD	UART 接口数据输入	
	MIO[7:0]_B	UART_TXD	UART 接口数据输出	

2.14.3 MIO 内部结构

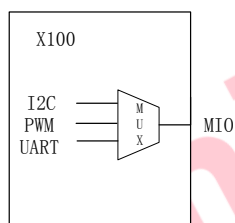


图 2.55 MIO 内部结构

2.15 I2C 接口

2.15.1 接口特性

X100 带一个 I2C 接口(I2C0)作为从设备，地址为 0x18，电平为 1.8V，直接与 CPU 的 I2C(Master)相连，IRQ 引脚配合 I2C 一起使用，与 CPU 的中断输入连接。用于通知 CPU 外部事件发生，可用于电源管理，事件上报等信息交互。当 I2C 接口电平不匹配时，需要使用电平转换。

同时通过配置 MIO 接口为 I2C，X100 最多可支持 8 路 I2C。MIO I2C 主要支持的功能有：

- 支持 master/slave 模式；
- 支持 DMA 访问；
- 支持三种传输模式，频率可编程调节：标准模式(0~100Kb/s)；快速模式(<=400Kb/s)；高速模式(<=3.4Mb/s)；
- 支持 7-bit 或 10-bit 设备地址；
- 支持发送和接收缓存，深度 8-byte；
- 支持中断或轮询模式操作；
- 可编程调节的 SDA 建立/保持时间；

- 支持中断状态的屏蔽和清除；
- 设备地址可配。

2.15.2 信号描述

表 2-43 I2C 仅从设备接口描述

信号名称	方向	默认方向	信号描述	推荐连接方式	默认电平	片内上下拉
SCL0	I/O	I	时钟信号	直连	NA	上拉电阻
SDA0	I/O	I	数据信号		NA	上拉电阻
IRQ	O	O	中断输出, 配合 I2C 使用		--	--

表 2-44 MIO I2C 接口描述

MIO 名	功能信号名称	方向	默认方向	信号描述	默认电平	片内上下拉
MIO[7:0]_A	I2C_SCL	I/O	I	I2C 接口 clock 信号	NA	上拉电阻
MIO[7:0]_B	I2C_SDA	I/O	I	I2C 接口 data 信号	NA	上拉电阻

2.15.3 接口时序

表 2-45 MIO I2C 接口电特性

特性	符号	最小	最大	单位
I2C 接收时序				
周期时间, SCL	$t_{c(SCL)}$	0.51	--	μs
建立时间, SCL 为高之前 SDA 低 (对重启的 START 条件)	$t_{su(SCLH-SDAL)}$	0.1	--	μs
保持时间, SCL 为低之后 SDA 低 (对 START 和重启的 START 条件)	$t_h(SCLL-SDAL)$	0.1	--	μs
脉冲持续时间, SCL 低	$t_w(SCLL)$	0.2	--	μs
脉冲持续时间, SCL 高	$t_w(SCLH)$	0.31	--	μs
建立时间, SDA 在 SCL 高之前有效	$t_{su(SDAV-SDLH)}$	0.1	--	μs
保持时间, SDA 在 SCL 高之后有效	$t_h(SDA-SDLL)$	0.1	--	μs
脉冲持续时间, 在 STOP 和 START 条件之间 SDA 为高	$t_w(SDAH)$	0.2	--	μs
建立时间, 在 SDA 高之前 SCL 高 (对 STOP 条件)	$t_{su(SCLH-SDAH)}$	0.1	--	μs
脉冲持续时间, spike(必须抑制)	$t_w(SP)$	--	--	ns
每条总线上的电容负载	C_b	--	400	pF
I2C 发送时序				
周期时间, SCL	$t_{c(SCL)}$	0.51	--	μs
延迟时间, SCL 为高到 SDA 为低 (对重启的 START 条件)	$t_d(SCLH-SDAL)$	0.1	--	μs
延迟时间, SDA 为低到 SCL 为低 (对 START 和重启的 START 条件)	$t_h(SDAL-SCLL)$	0.1	--	μs
脉冲持续时间, SCL 低	$t_w(SCLL)$	0.2	--	μs
脉冲持续时间, SCL 高	$t_w(SCLH)$	0.31	--	μs
延迟时间, SDA 有效到 SCL 为高	$t_d(SDAV-SDLH)$	0.1	--	μs
有效时间, SCL 低之后 SDA 有效	$t_v(SDLL-SDAV)$	0	--	μs
脉冲持续时间, 在 STOP 和 START 条件之间 SDA 为高	$t_w(SDAH)$	0.1	--	μs

延迟时间, SCL 高到 SDA 高 (对 STOP 条件)	$t_{d(SCLH-SDAH)}$	0.1	--	μs
每条总线上的电容负载	C_b	--	12	pF

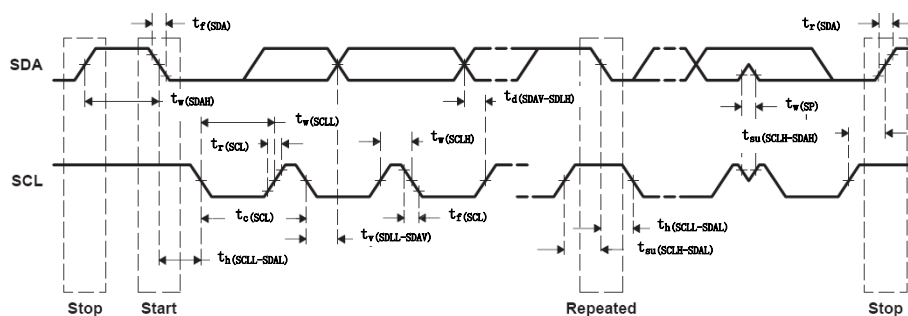


图 2.56 I2C 接收时序

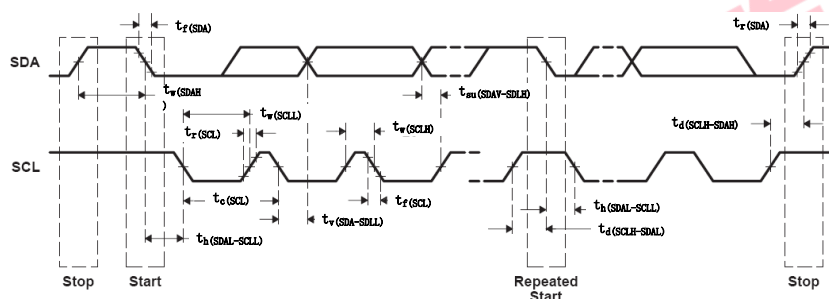


图 2.57 I2C 发送时序

2.15.4 拓扑结构

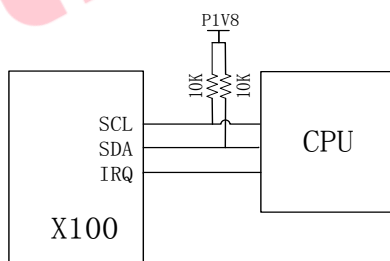


图 2.58 I2C 仅从设备接口与 CPU 连接拓扑

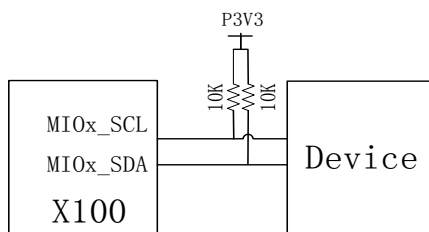


图 2.59 MIO I2C 与外设连接拓扑

2.16 UART 接口

2.16.1 接口特性

除 8 路 MIO 下的两针串口外, X100 还集成 4 路全功能 UART 和一个调试 UART, UART0/1 与 PS2 存在引脚复用, 其中 UART0/1 接口电压 1.8V, UART2/3 和调试串口接口电压均为 2.5V。

UART 控制器的主要功能如下:

- 支持发送和接收数据缓存, 深度 32-byte;
- 可编程波特率大小;
- 标准的异步通信位 (启动、停止和奇偶校验), 在传输前添加, 在接收时删除;
- 支持中断状态的屏蔽和清除;
- 支持 DMA 访问;
- 支持调制解调控制功能 CTS、DCD、DSR、RTS、DTR、RI;
- 支持硬件流控;
- 支持奇、偶校验方式, 支持无校验位, 支持校验位为软件设定值;
- 支持 8bits 数据位、1bit 校验位的帧格式。

2.16.2 信号描述

表 2-46 UART 接口描述

信号名称	方向	信号描述	推荐连接方式	默认电平	片内上下拉
UARTx_CTS_N	I	清除发送	直连	NA	上拉
UARTx_DCD_N	I	数据载波检测		NA	上拉
UARTx_DSR_N	I	数据发送就绪		NA	上拉
UARTx_RI_N	I	振铃指示		NA	上拉
UARTx_RTS_N	O	发送数据请求		高	无
UARTx_DTR_N	O	数据终端准备就绪		高	无
UARTx_RXD	I	数据接收		NA	上拉
UARTx_TXD	O	数据发送		高	无
UART_TXD	O	调试串口数据发送	直连	高	无
UART_RXD	I	调试串口数据接收		NA	上拉

2.16.3 接口时序

表 2-47 UART 接口电特性

特性	符号	最小	最大	单位
rxid 和 txid 低电平时间	t_L	310	--	ns
rxid 和 txid 高电平时间	t_H	310	--	

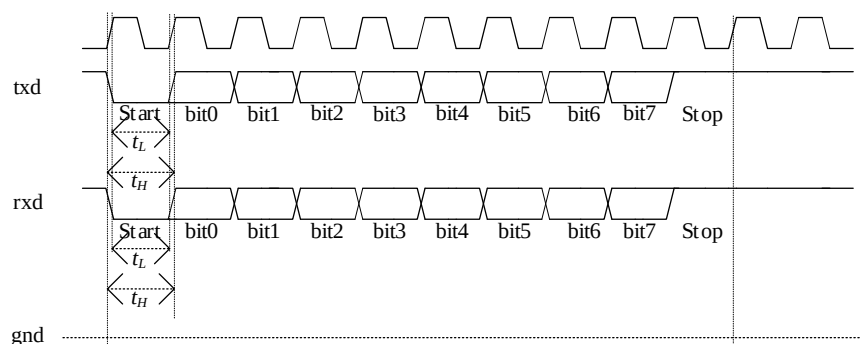


图 2.60 UART 时序图

2.16.4 拓扑结构

点对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容。

2.17 PWM 接口

2.17.1 接口特性

除 8 路 MIO 下的 PWM 接口外, X100 还集成 4 个独立 LSD_PWM 控制器, 接口电压 2.5V。

PWM 支持典型的 Timer 和 PWM 功能。有 1 个独立的 capture-or-compare 通道。在时钟复位处理模块中, 包含专门的寄存器配置, 能实现对多个 PWM 的同步开启和关断。

Timer 在很多控制和测量应用中都会用到, 主要支持特性如下:

- 支持外部输入使能控制开关, 用于实现多 Timer&PWM 模块之间协同工作;
- 支持 modulo 或 up and down 计数模式;
- 支持上升、下降边沿输入 capture 检测;
- 支持时钟分频计数, 分频系数为 1~1024, 支持动态分频系数调整;
- Compare 模式下, 输出 period 的控制可以动态更新, 输出占空比配置数值支持 FIFO(8 深度, 32bits)或寄存器两种方式。
- 支持每次 capture、compare 和计数终点时的中断。

2.17.2 信号描述

表 2-48 PWM 接口描述

信号名称	方向	默认方向	信号描述	连接方式	默认电平	片内上下拉
PWM0	O	I	控制 CPU 风扇转速	直连	NA	上拉
TACH0	I	I	检测 CPU 风扇转速		NA	上拉
PWM1	O	I	控制 X100 风扇转速		NA	上拉
TACH1	I	I	检测 X100 风扇转速		NA	上拉

2.17.3 拓扑结构

点对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容。

2.18 SMBus 接口

2.18.1 接口特性

X100 集成 2 个独立 SMBus 控制器和一路 SE 控制的 SMBus，SMBus 接口与 SD/SDIO/eMMC0 等接口引脚复用，接口电压 2.5V。

SMBus(系统管理总线)是一种三线接口，为系统和电源管理相关的任务提供控制总线。

- 两条总线接口，SMB_CLK、SMB_DAT；
- 支持额外报警信号：SMBus Alert Signal（SMBALERT#）；
- 支持三种最大总线速率：100KHz，400KHz，1MHz；
- 支持读写数据 32bits 和 64bits；
- 支持供电电压 1.8V~5.5V；
- 支持超时检测；
- 支持主从设备的时钟扩展检测；
- 支持 SMB_DAT 超时检测；
- 支持 SMBUS 协议规定的命令。

2.18.2 信号描述

表 2-49 SMBus 接口描述

信号名称	方向	默认方向	信号描述	推荐连接方式	默认电平	片内上下拉
SMB0_CLK	O	I	时钟信号	直连	NA	上拉
SMB0_DAT	I/O	I	数据信号		NA	上拉
SMB0_ALERT	I	I	请求仲裁信号		NA	上拉
SMB1_CLK	O	I	时钟信号		NA	上拉
SMB1_DAT	I/O	I	数据信号		NA	上拉
SMB1_ALERT	I	I	请求仲裁信号		NA	上拉
SE_SMBCLK	O	I	时钟信号		NA	上拉
SE_SMBSDAT	I/O	I	数据信号		NA	上拉
SE_SMBALERT	I	I	请求仲裁信号		NA	上拉

2.18.3 接口时序

参考章节 2.15.3 I2C 接口时序。

2.18.4 拓扑结构

对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容，可参考章节 2.15.4 I2C 拓扑结构。

2.19 GPIO/SE_GPIO 接口

2.19.1 接口特性

X100 集成 2 个 GPIO 控制器提供 64 个 GPIO 信号，同时提供 32 个 SE_GPIO，GPIO 与其他功能的复用关系较为复杂，请参考表 2-4。

用作双向总线情况下，在进行总线方向切换时，可能存在电源到地的短路路径，可在片外或与接口芯片间设置 22Ω 保护电阻。

64 个 GPIO 信号，支持外部中断功能，每路中断信号没有优先级区分，并产生一个统一的中断报送到全芯片的中断管理模块。在中断管理模块内可针对 GPIO0 和 GPIO1 两路中断设置不同的优先级。

- 每个 GPIO 模块支持 16 位独立 IO 引脚，可单独配置方向为输入/输出。
- 支持的中断触发类型：高电平、低电平、上升沿、下降沿。
- 支持中断单独屏蔽和清除。
- 每个 GPIO 中断由模块内合成一个中断上报。

2.19.2 信号描述

表 2-50 GPIO/SEGPIIO 接口描述

信号名称	方向	默认方向	信号描述	电平	外部中断	默认电平	片内上下拉
SE_GPIO[19:0]	I/O	I	SE_GPIO，可用作板级上下电等	2.5V	支持	NA	下拉
SE_GPIO[23:20]	I/O	I		1.8V	支持	NA	下拉
SE_GPIO[31:24]	I/O	I		2.5V	支持	NA	下拉
GPIO0[7:0]	I/O	I	输入输出信号	1.8V	支持	NA	下拉
GPIO[15:8]	I/O	I	输入输出信号	1.8V	支持	NA	下拉
GPIO[23:16]	I/O	I	输入输出信号	1.8V	支持	NA	下拉
GPIO[31:24]	I/O	I	输入输出信号	2.5V	支持	NA	下拉
GPIO[39:32]	I/O	I	输入输出信号	2.5V	支持	NA	下拉
GPIO[47:40]	I/O	I	输入输出信号	2.5V	支持	NA	下拉
GPIO[55:48]	I/O	I	输入输出信号	2.5V	支持	NA	下拉
GPIO[63:56]	I/O	I	输入输出信号	2.5V	支持	NA	下拉

2.19.3 拓扑结构

点对点连接即可，无特殊要求，注意接口电平标准与外设是否兼容，需串接保护电阻，信号 NC 时无需额外处理悬空即可。

2.20 CLOCK 接口

2.20.1 接口特性

集成 2 路 LVCOMS 单端时钟驱动接口,可提供 33MHz 和 48MHz 两种时钟,以满足 CPU、LPC 等设备的参考时钟需求。

表 2-51 单端时钟指标参数

时钟	频率	占空比	频差	周期抖动	相位抖动	上升时间	下降时间	电压
CLK_LPC_33M	33MHz	50%	TBD	TBD	TBD	TBD	TBD	2.5V
CLK_CPU_LPC	33MHz	50%	TBD	TBD	TBD	TBD	TBD	1.8V
CLK_CPU_48M	48MHz	50%	TBD	TBD	TBD	TBD	TBD	2.5V
CLK_CPU_REF	48MHz	50%	TBD	TBD	TBD	TBD	TBD	1.8V

2.20.2 信号描述

表 2-52 CLOCK 接口描述

信号名称	方向	信号描述	连接方式
CLK_LPC_33M	O	2.5V 33MHz 单端时钟	源端串接 22Ω 电阻;
CLK_CPU_LPC	O	1.8V 33MHz 单端时钟	
CLK_CPU_48M	O	2.5V 48MHz 单端时钟	
CLK_CPU_REF	O	1.8V 48MHz 单端时钟	

2.20.3 拓扑结构

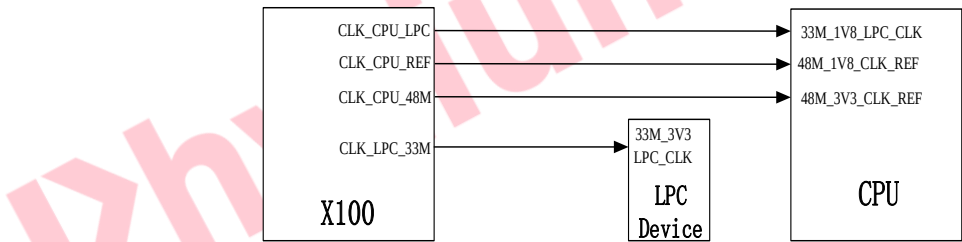


图 2.61 CLOCK 连接拓扑

2.20.4 布线要求

表 2-53 CLOCK 布线要求

参数	要求
阻抗控制	50Ω±5%单端
最大走线长度	TBD
与其它信号间距	≥5H
与参考平面边缘最小间距	≥5H
建议过孔数量	≤3 个

- 尽量缩短走线长度,尽量远离开关电源、晶振等噪声源,以保证信号质量;
- 建议在换层孔附近添加回流孔,尽量减少换层过孔数量;

- CLOCK 信号走线参考 GND，保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

2.21 系统功能接口

在 X100 实现电源管理功能时，X100 使用固定接口进行上下电时序控制及外部设备复位控制。详细接口描述如表 2-54 所示。

表 2-54 系统功能接口

命名	方向	功能
POR_N	I	X100 上电复位信号，低电平有效。
PWR_BUTTON	I	电源按键，低电平有效。 0: 按键按下 1: 按键弹开
RESET_BUTTON	I	重启按键，低电平有效。 0: 按键按下 1: 按键弹开 在开机状态下按此键可硬件强制重启
S5/S4_Flag	O	指示系统状态 $\geq$ S5/S4，用于控制系统 S5/S4 电源域电源。 0: 系统处于关机状态 1: 系统处于关机/休眠、挂起或开机状态;enable S5 电源域电源
S3_Flag	O	指示系统状态 $\geq$ S3，用于控制系统 S3 电源域电源。 0: 系统处于关机/休眠状态; disable S3 电源域电源 1: 系统处于挂起或开机状态; enable S3 电源域电源
S0_Flag	O	指示系统状态 $\geq$ S0，用于控制系统 S0 电源域电源。 0: 系统处于关机/休眠、挂起状态(); disable S0 电源域电源 1: 系统处于开机状态;enable S0 电源域电源
VCORE_EN	O	CPU 0.8V 电源域电源使能信号，用于控制 CPU VCORE、PEU _x _AVDD、PEU _x _AVDDCLK、PLL_VDDPOST 电源及可与前述电源同时上下电的电源的使能与关闭。 0: disable 1: enable
VDDQ_EN	O	CPU 1.2V 电源域电源使能信号，用于控制 CPU VDDQ、DIMM 条 VPP VREFCA 电源及可与前述电源同时上下电的电源的使能与关闭。 0: disable 1: enable
VDDIO_EN	O	CPU1.8V 电源域电源使能信号，用于控制 CPU VDDIO、PEU _x _xx_AVDDH、VDDA、VDDPOST、PLL_VDDHV 电源及可与前述电源同时上下电的电源的使能与关闭。 0: disable

		1: enable																
VTT_EN	O	控制 DIMM 条的 VTT 电源的使能与关闭。 0: disable 1: enable																
VCORE_PG ^[1]	I	电源状态反馈信号，反馈 VCORE_EN 所控制的电源状态。 0: 有电源未成功上电 1: 所有电源已经成功上电																
VDDQ_PG ^[1]	I	电源状态反馈信号，反馈 VDDQ_EN 所控制的电源状态。 0: 有电源未成功上电 1: 所有电源已经成功上电																
VDDIO_PG ^[1]	I	电源状态反馈信号，反馈 VDDIO_EN 所控制的电源状态。 0: 有电源未成功上电 1: 所有电源已经成功上电																
VTT_PG ^[1]	I	电源状态反馈信号，反馈 VTT_EN 所控制的电源状态。 0: 有电源未成功上电 1: 所有电源已经成功上电																
MEM_RST_CLT	O	控制 CPU 内存通道 RESET 信号的隔离。 0: Reset 信号隔离 1: Reset 信号导通																
WAKEIN_N	I	外部唤醒信号输入，用于在 S3 状态时，侦测外部是否有唤醒请求。低电平有效。 0: 外部有唤醒事件发生 1: 外部无唤醒事件发生																
WAKEUP_N	O	USB 唤醒信号输出，在 S3 状态下，指示有唤醒事件发生，低有效。 0: USB 唤醒事件发生 1: 无唤醒事件发生																
TS_OVER_IN_N	I	过温保护输入，侦测外部设备是否过温报警。若存在过温报警，则触发强制关机。低电平有效。 0: 过温报警 1: 正常状态																
SYS_LED[1:0]	O	系统指示信号。用于指示当前系统状态 <table><tr><td></td><td>SYS_LED[0]</td><td>SYS_LED[1]</td><td>备注</td></tr><tr><td>S5/S4</td><td>0</td><td>0</td><td>灯灭</td></tr><tr><td>S3</td><td>0</td><td>Blink</td><td>LED0 灭，LED1 闪烁</td></tr><tr><td>S0</td><td>1</td><td>0</td><td>LED0 亮，LED1 灭</td></tr></table> 注：Blink 为呼吸灯效果		SYS_LED[0]	SYS_LED[1]	备注	S5/S4	0	0	灯灭	S3	0	Blink	LED0 灭，LED1 闪烁	S0	1	0	LED0 亮，LED1 灭
	SYS_LED[0]	SYS_LED[1]	备注															
S5/S4	0	0	灯灭															
S3	0	Blink	LED0 灭，LED1 闪烁															
S0	1	0	LED0 亮，LED1 灭															
SP_DET0	I	PCIE_DOWN6/SATA0 侦测信号，可用于连接 NVME_SSD、SATA_SSD 设备并实现自适应功能。 0: 连接设备为 SATA 设备 1: 连接设备为 PCIe 设备																
SP_DET1	I	PCIE_DOWN7/SATA1 侦测信号，可用于连接 NVME_SSD、SATA_SSD 设备并实现自适应功能。 0: 连接设备为 SATA 设备																

		1: 连接设备为 PCIe 设备
RESET_S3	O	外部设备复位信号，包括所有 S3 状态需要保留的 PCIe 设备，板级其它设备。 0: 设备处于复位状态 1: 设备处于正常工作状态
RESET_S0	O	外部设备复位信号，包括所有 S0 状态需要保留的 PCIe 设备，板级其它设备。 0: 复位设备 1: 释放设备复位信号
BUZZER	O	外部蜂鸣器控制。 0: 蜂鸣器不发声 1: 蜂鸣器发声 注：仅能控制有源蜂鸣器。
CPU_RESET	O	用于控制 CPU 复位。与 CPU POR 信号直连。 0: 复位 CPU 1: 释放 CPU 复位
IRQ	O	通知 CPU 有外部事件发生，用于向 CPU 发送中断信号。 0: 有中断发生 1: 正常状态 注：与 D2000/FT-2000/4CPU 配合使用的情况下，连接该引脚至 CPU 的 GPIO1_A6
注[1]：在电源方案中没有 PG 信号时，相应电源 PG 信号可以浮空处理 上述表格中与 SE_GPIO 接口存在复用的功能均可软件重映射到其余 SE_GPIO 接口上。		

2.22 System IO 接口

2.22.1 时钟电路

X100 最小系统时钟输入包括 48MHz 主时钟，电路设计参考如图 2.62 所示。

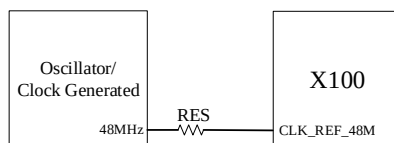


图 2.62 最小系统主时钟参考电路

表 2-55 最小系统主时钟参数要求

时钟	频率	占空比	频差	周期抖动	相位抖动	电压
CLK_REF_48M	48MHz	45%~55%	≤50PPM	TBD	TBD	1.8V

2.22.2 复位和开机电路

为保证 X100 能正常工作及使用，设备复位及开机电路必不可少。下图列举两种应用场景的典型设计参考。

场景一：X100 提供板级电源管理，并接管按键工作。详细方案如图 2.63 所示：

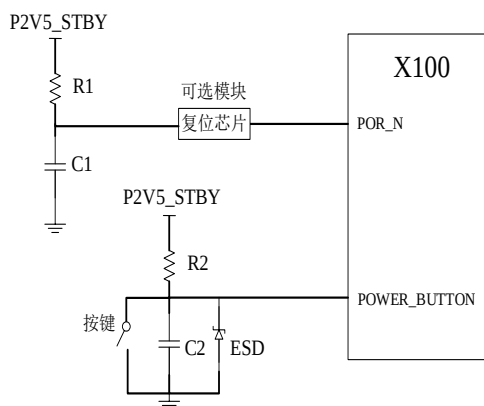


图 2.63 复位和开机电路场景一（X100 控制电源）

R1、R2、C1、C2 选择时须特别注意，POWER_BUTTON 的高电平时间须在 POR_N 为高电平之前，细节请参考 4 章中 X100 上电时序。在复位芯片不在位时，推荐的 $R1=100K\Omega$ ， $R2=10K\Omega$ ， $C1=1\mu F$ ， $C2=0.1\mu F$ 。

场景二：不使用 X100 板级电源管理功能，由 EC 控制板级电源。详细方案如图 2.64 所示。

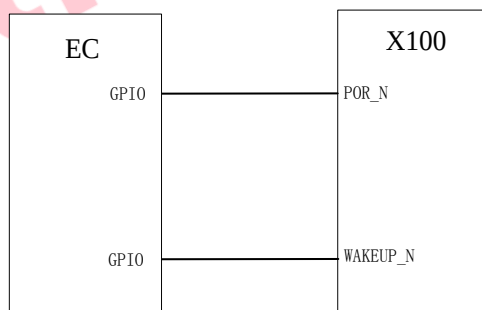


图 2.64 复位和开机电路场景二（EC 控制电源）

2.22.3 vBIOS 固件电路

X100 通过 QSPI 接口 0 号片选与外部 1.8V QSPI FLASH 芯片连接，具体电路设计参考章节 2.7。为保证 X100 的正常运行，所选 Flash 容量不小于 8Mbit，若需要支持提前显示功能，Flash 容量不小于 16Mbit。

3 技术

3.1 安全机制

D2000 安全处理器与 X100 均内置安全机制，可以将 X100 所集成的设备纳入到 D2000 的可信执行环境中进行管理，二者在逻辑上形成了一个统一的安全框架，保障 D2000 及 X100 上的敏感信息的安全性。

1、D2000 安全处理器与 X100 的 PCIe 控制器均支持安全扩展，使得 PCIe 报文在 D2000 与 X100 之间传递过程中可以携带安全属性，接收方可以解析出 PCIe 报文携带的安全属性，并随请求一起传递给目标设备。

2、X100 集成的设备都支持安全属性的切换，且只能在 TEE 下切换设备的安全属性。

4 电源管理

4.1 电源参数

表 4-1 核心电源参数说明

产品形态	参数	最小值 ^[1] (V)	典型值(V) ^[1]	最大值 ^[1] (V)	最大电流(A)
X100 标准版	VDD	0.83	0.88	0.93	10
	VDD_GPU	0.83	0.88	0.93	10
X100 基础版	VDD	0.83	0.88	0.93	8
	VDD_GPU	0.83	0.88	0.93	8
X100 工业版	VDD	0.76	0.8	0.85	8
	VDD_GPU	0.76	0.8	0.85	6
X100 工业版 (无 GPU)	VDD	0.76	0.8	0.85	11
	VDD_GPU	0.76	0.8	0.85	无
X100 移动版 (无盖)	VDD	0.76	0.8	0.85	6
	VDD_GPU	0.76	0.8	0.85	5
X100 标准版 (无盖)	VDD	0.83	0.88	0.93	10
	VDD_GPU	0.83	0.88	0.93	10
X100 基础版 (无盖)	VDD	0.83	0.88	0.93	8
	VDD_GPU	0.83	0.88	0.93	8

注：本表包含的测试数据均在最大结温下测试得到，最大结温参考表 1-1。

表 4-2 电源电压电流参数

参数	符号	最小值 ^[1] (V)	典型值(V) ^[1]	最大值 ^[1] (V)	电流(mA)
DDR4 显存电源 ^[2]	VDDQ	1.14	1.2	1.26	1120
LPDDR4 显存电源 ^[2]	VDDQ	1.06	1.1	1.17	1120
1.8V IO 电源	VDDIO18_STB	1.71	1.8	1.89	300
2.5V IO 电源	VDDIO25_STB	2.375	2.5	2.625	200
SE 电源	VDD_STB	0.76	0.8	0.84	350
USB 电源	U2_VDDA	0.76	0.8	0.84	120
USB 电源	U2_VCCA18	1.71	1.8	1.89	100
USB 电源	U2_VCCA33	3.135	3.3	3.465	20
温度传感器电源	TS0_VDDA	1.71	1.8	1.89	10
	TS1_VDDA				
PLL 模拟电源	PLL_VDDHV	1.71	1.8	1.89	100
PCIe 模拟电源	AVDDH_A	1.14	1.2	1.26	260
	AVDDH_B				
PLL 数字电源	PLL_VDDPOST	0.76	0.8	0.84	160
PCIe 模拟电源	AVDD_A	0.76	0.8	0.84	1900
	AVDD_B				

PCIe 高速时钟电源	AVDDCLK_A AVDDCLK_B	0.76	0.8	0.84	1200
EFUSE 电源	EFUSE_VQPS	1.71	1.8	1.89	30

注：本表包含的测试数据均在最大结温下测试得到，最大结温参考

表 1-1。

注 1：表格中典型值是 VR 设定的输出电压，最小值和最大值是推荐的极限工作电压，该值包括 DC 和 AC 引起的电压波动。建议从芯片底部测试电压波动，示波器带宽设置为 20MHz。

注 2：显存电源 VDDQ 参数仅为 X100 芯片电流，不包含内存颗粒部分，设计时应根据具体内存情况设计电源，根据采用 DDR4 或 LPDDR4 两种不同内存类型，显存电源 VDDQ 电压和功耗也有所区别。

4.2 电源状态

表 4-3 电源状态

状态	开启的电源	备注
S0	电源状态列表中指示 S0、S3、S5 需在位	工作状态
S3	电源状态列表中指示 S3、S5 需在位	Suspend to RAM
S4、S5	电源状态列表中指示 S5 需在位	Suspend to Disk、shutdown

表 4-4 电源状态说明

参数	符号	台式机 ^[1]	笔记本 ^[2]	板卡 ^[3]
VDD 电源	VDD	S0	S0	S0
VDD_GPU 电源	VDD_GPU	S0	S0	S0
DDR4 显存电源 ^[2]	VDDQ	S0	S0	S0
LPDDR4 显存电源 ^[2]	VDDQ	S0	S0	S0
1.8V IO 电源	VDDIO18_STB	S5	S3	S0
2.5V IO 电源	VDDIO25_STB	S5	S3	S0
SE 电源	VDD_STB	S5	S3	S0
USB 电源	U2_VDDA	S3	S3	S0
USB 电源	U2_VCCA18	S3	S3	S0
USB 电源	U2_VCCA33	S3	S3	S0
温度传感器电源	TS0_VDDA TS1_VDDA	S0 ^[4]	S0 ^[4]	S0
PLL 模拟电源	PLL_VDDHV	S3	S3	S0
PCIe 模拟电源	AVDDH_A AVDDH_B	S0	S0	S0
PLL 数字电源	PLL_VDDPOST	S3	S3	S0
PCIe 模拟电源	AVDD_A AVDD_B	S0	S0	S0
PCIe 高速时钟电源	AVDDCLK_A AVDDCLK_B	S0	S0	S0

注1：台式机形态由X100的SE模块控制电源的上下电。

注2：笔记本形态由外围的EC芯片控制电源的上下电。

注3：板卡形态采用PCIe标准连接规范，所有电源状态均为S0。

注4: 若在S3状态下有温度检测需求, 电源状态需要调整为S3。

4.2.1 S4/S5→S0

当系统需要从 S4 或 S5 进入到 S0 状态, 即正常开机时, X100 会按照表 4-5 及图 4.1 提供上电、复位控制时序。以满足相关时序要求。

表 4-5 开机时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	10	20	--	ms	S5/S4 电源域相关电源上电后的等待时间
2	t2	10	20	--	ms	S3 电源域相关电源上电后的等待时间
3	t3	300	400	--	ms	S0 电源域相关电源上电后的等待时间
4	t4	10	20	--	ms	VDDQ/VPP/VTT 等电源上电完成到 VCORE 电源使能时间间隔
5	t5	10	20	--	ms	VCORE 电源上电完成到 VDDIO 电源使能的时间间隔
6	t6	120	450	--	ms	等待 X100 完成初始化配置的时间, 同时为复位 PCIe 外设的时间
7	t7	10	20	--	ms	PCIe 外设复位释放到释放 CPU POR 的时间
8	t8	150	200	--	ms	蜂鸣器发声时间

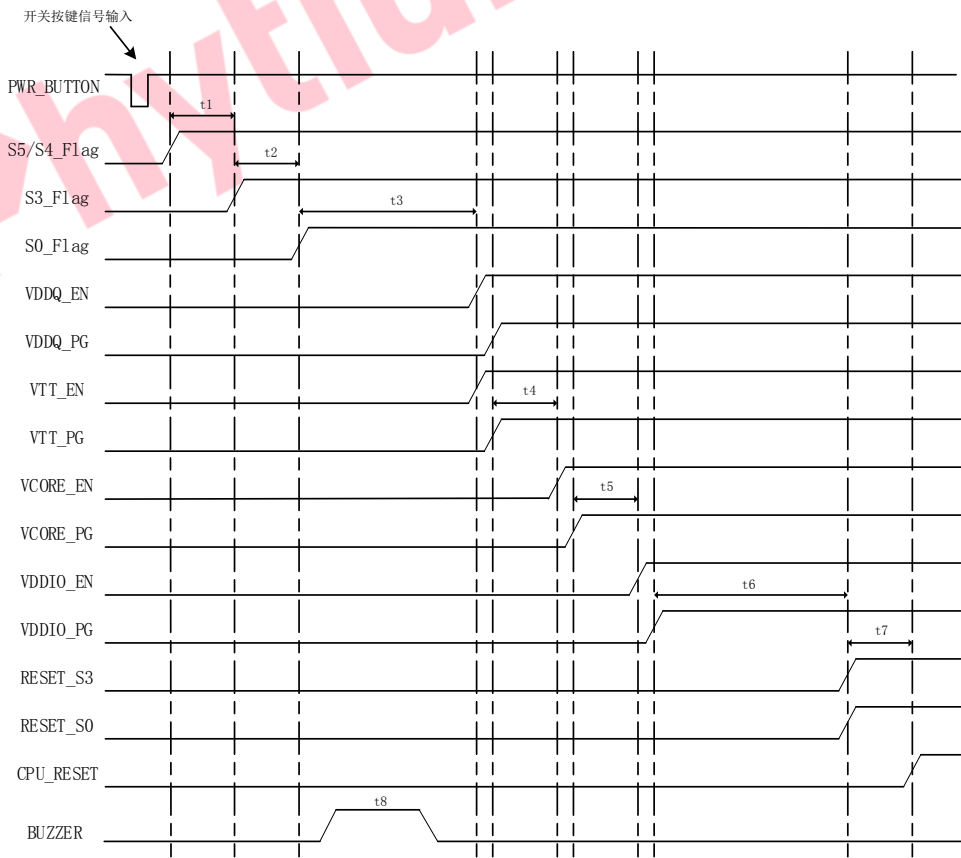


图 4.1 开机时序控制图

4.2.2 S0→S4/S5

当系统需要从 S0 进入到 S4/S5 状态，即 Suspend to Disk 或关机时，X100 会按照表 4-6 及图 4.2 提供下电、复位控制时序。以满足相关时序要求。

表 4-6 关机时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	0	10	--	ms	接收到关机指令即可处理
2	t2	100	150	--	ms	拉低复位信号后的延迟时间
3	t3	5	20	--	ms	关闭 VDDIO 电源到 VCORE 电源关闭的延迟时间
4	t4	5	20	--	ms	关闭 VCORE 电源到 VDDQ/VPP/VTT 电源关闭的延迟时间
5	t5	5	20	--	ms	关闭 VDDQ/VPP/VTT 电源到 S0 电源关闭的延迟时间
6	t6	5	20	--	ms	关闭 S0 电源到 S3 电源关闭的延迟时间
7	t7	5	20	--	ms	关闭 S3 电源到 S5 电源关闭的延迟时间

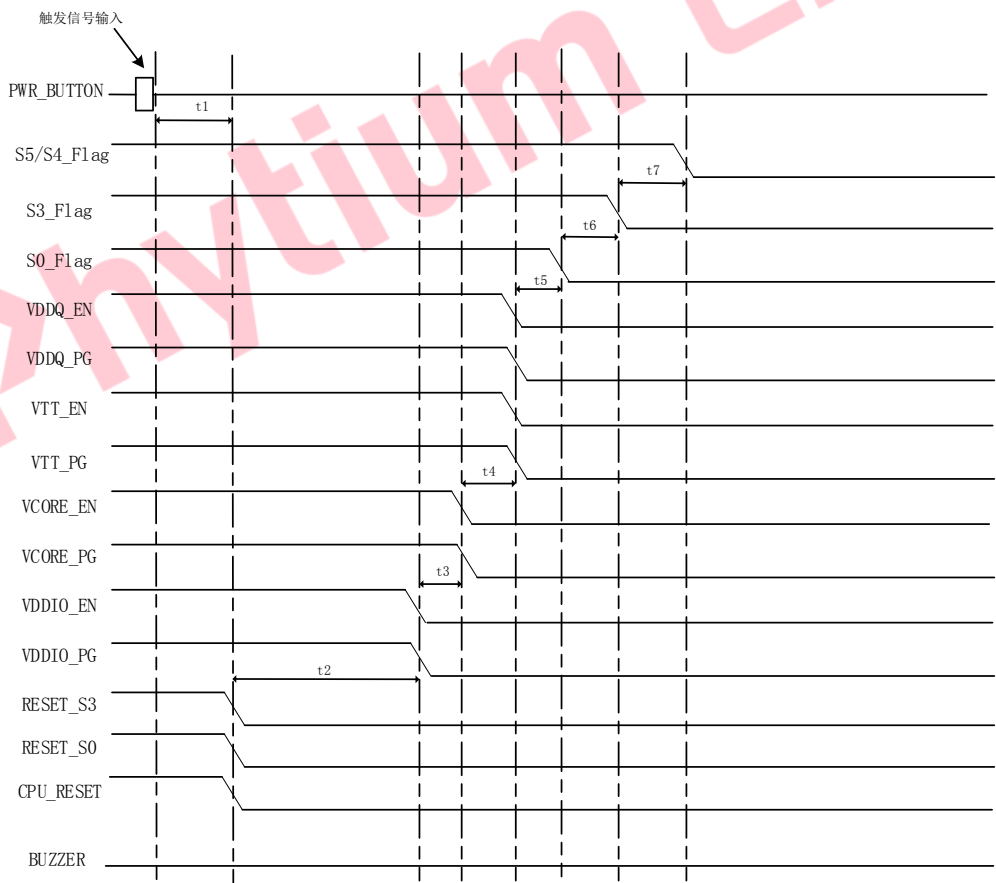


图 4.2 关机时序控制图

4.2.3 S3→S0

当系统需要从 S3 进入到 S0 状态，即 S3 唤醒时，X100 会按照表 4-7、表 4-8 及图 4.3、图 4.4 提供两种上电、复位控制时序。以满足相关时序要求。

方案一：

表 4-7 唤醒时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	300	400	--	ms	S0 电源域相关电源上电后的等待时间
2	t2	10	20	--	ms	VCORE 电源上电完成到 VDDIO 电源使能的时间间隔
3	t3	120	450	--	ms	等待 X100 完成初始化配置的时间，同时为复位 PCIe 外设的时间
4	t4	10	20	--	ms	PCIe 外设复位释放到释放 CPU POR 的时间
5	t5	-	-	--	ms	等待 CPU 下发打开 VTT 指令的时间
6	t6	150	200	--	ms	蜂鸣器发声时间

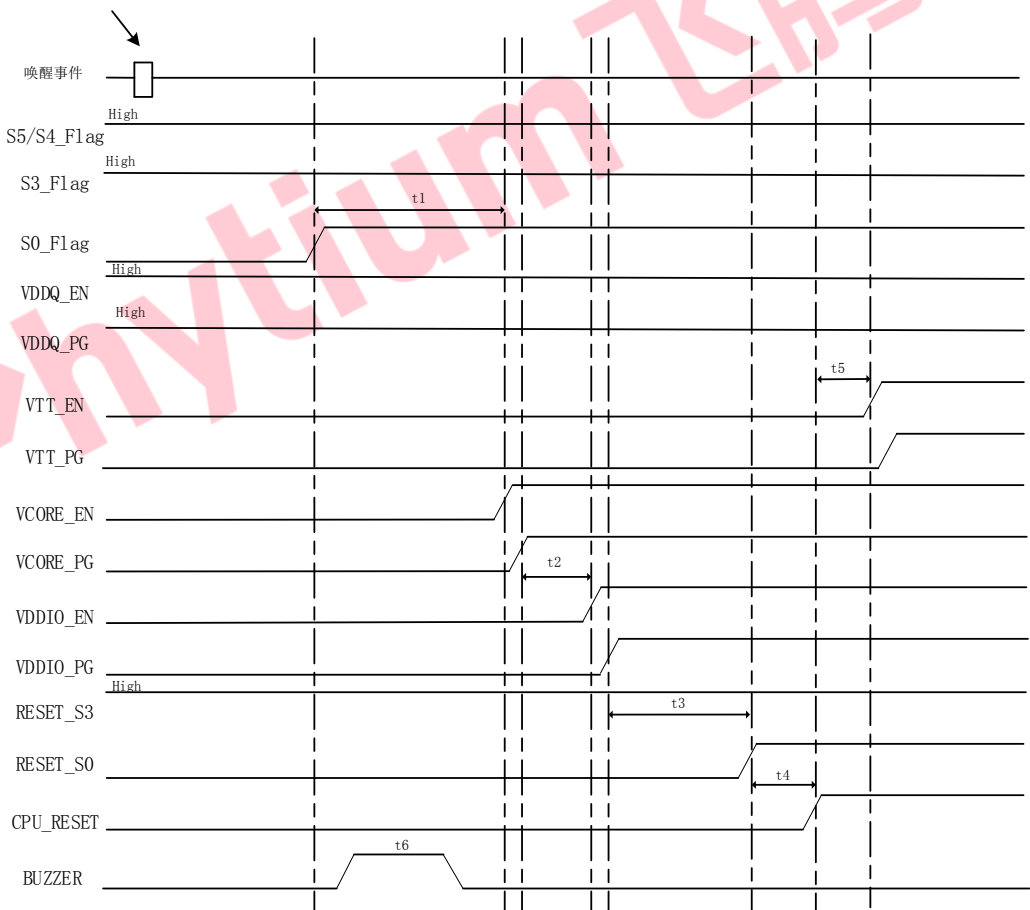


图 4.3 唤醒时序控制图

方案二：

表 4-8 唤醒时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	300	400	--	ms	S0 电源域相关电源上电后的等待时间
2	t2	120	450	--	ms	等待 X100 完成初始化配置的时间，同时为复位 PCIE 外设的时间
3	t3	10	20	--	ms	PCIE 外设复位释放到释放 CPU POR 的时间
4	t4	150	200	--	ms	蜂鸣器发声时间

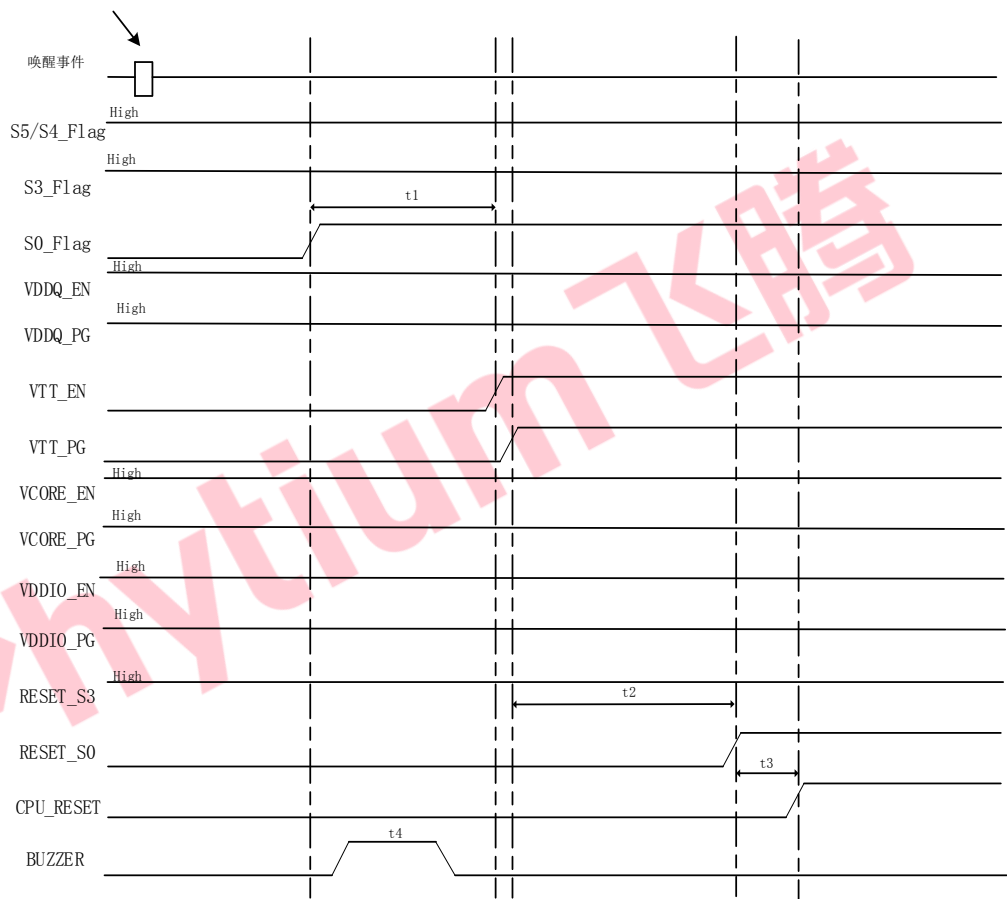


图 4.4 唤醒时序控制图

4.2.4 S0→S3

当系统需要从 S0 进入到 S3 状态，即 Suspend to RAM 时，X100 会按照表 4-9、表 4-10 及图 4.5、图 4.6 提供两种下电、复位控制时序。以满足相关时序要求。

方案一：

表 4-9 STR时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	0	10	--	ms	接收到关闭 VTT 电源指令即可处理
2	t2	0	10	--	ms	接收到进入 S3 指令即可处理

3	t3	100	150	--	ms	拉低复位信号后的延迟时间
4	t4	5	20	--	ms	关闭 VDDIO 电源到 VCORE 电源关闭的延迟时间
5	t5	5	20	--	ms	关闭 VCORE 电源到 S0 电源关闭的延迟时间

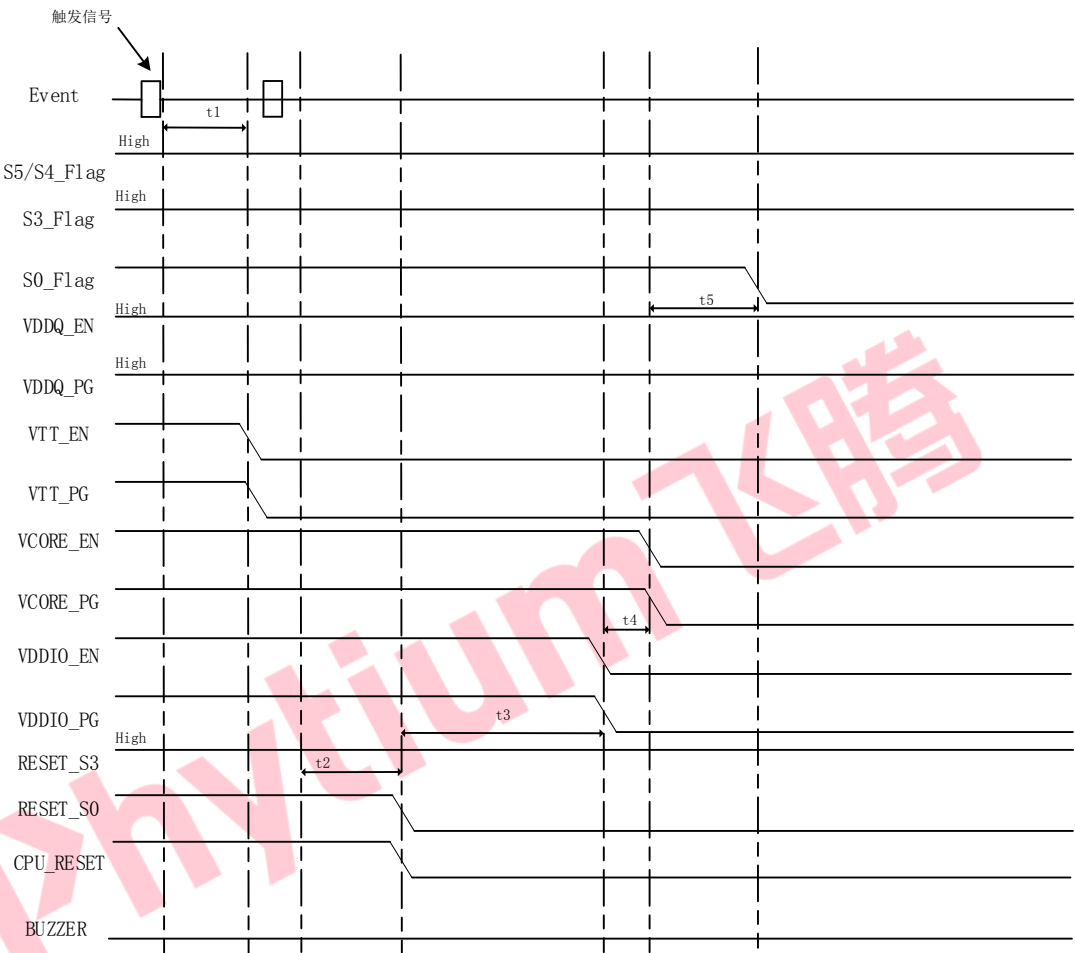


图 4.5 STR时序控制图

方案二：

表 4-10 STR时序控制表

序号	T-wait	最小值	典型值	最大值	单位	备注
1	t1	0	--	--	ms	接收到进入 S3 指令即可处理
2	t2	100	150	--	ms	拉低复位信号后的延迟时间
3	t3	5	20	--	ms	关闭 VTT 电源到 S0 电源关闭的延迟时间

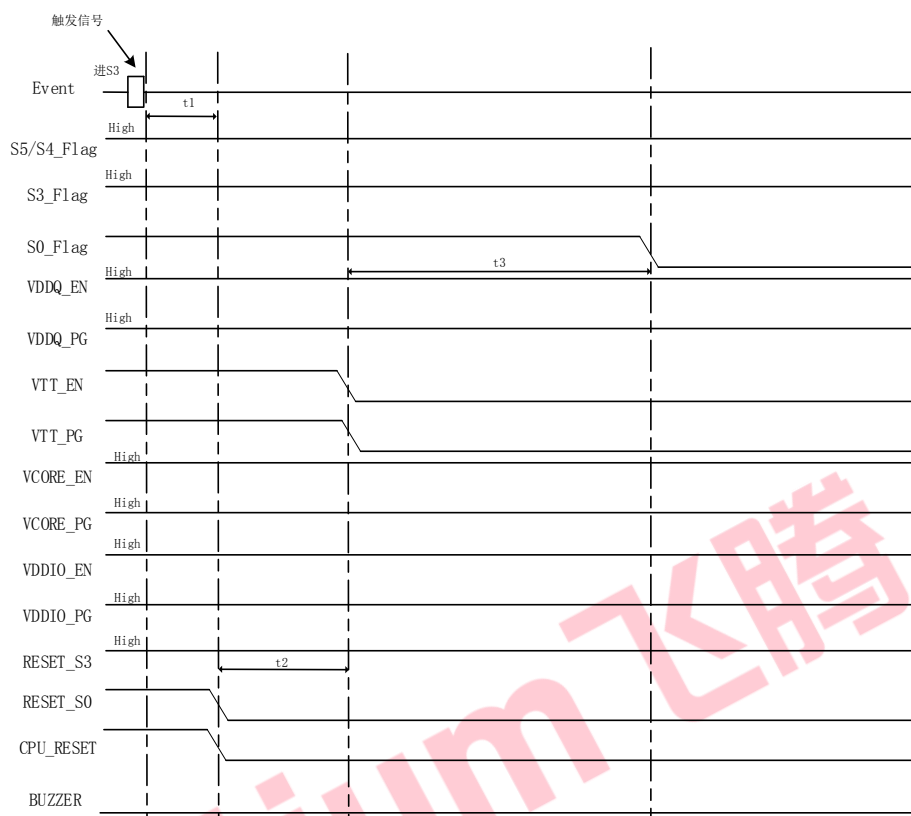


图 4.6 STR时序控制图

4.3 上电时序

X100 对各电源的上电先后顺序无强需求,以下说明用 ALL_PWR 指代 X100 的所有电源,图 4.7 为 X100 不进行电源管理时推荐的上电时序示意图,图中 t_2 推荐值为 20ms。下电时序和上电时序完全相反。

在 X100 控制外部电源的情况下,基本原则是保证 S5 域相关电源先上电,再等待开机指令后进行其它电源上电,图 4.8 是为 X100 控制外部电源控制外部电源场景下的上电时序示意图,图中 t_2 推荐值不小于 20ms, t_3 需大于 500ms, t_4 需大于 50ms 并小于 2.5s, t_5 不大于 500ms。

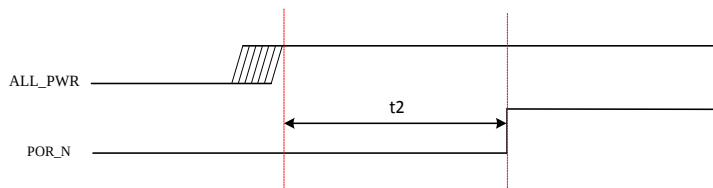


图 4.7 X100不控外部电源场景下的上电时序示意图

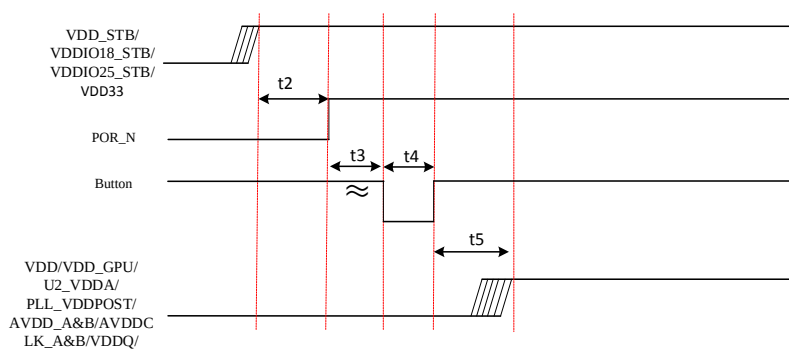


图 4.8 X100控制外部电源场景下的上电时序示意图

4.4 电源方案

X100 板卡形态 LPDDR4 颗粒电源方案示意图如图 4.9，关键点说明如下：

- VDD 和 VDD_GPU 合并供电，BUCK1 持续通流能力建议 20A，OCP 点设置为 30A 以上。
- LSW 前级输入建议增加一个 ESD 保护二极管，防止 ATX 电源毛刺造成芯片损坏，建议实测 ATX 3.3V 电源纹波是否满足 X100 3.3V 电源域要求；
- 注：建议电源 IC 上电缓启典型时间在 500 μ s 以上。

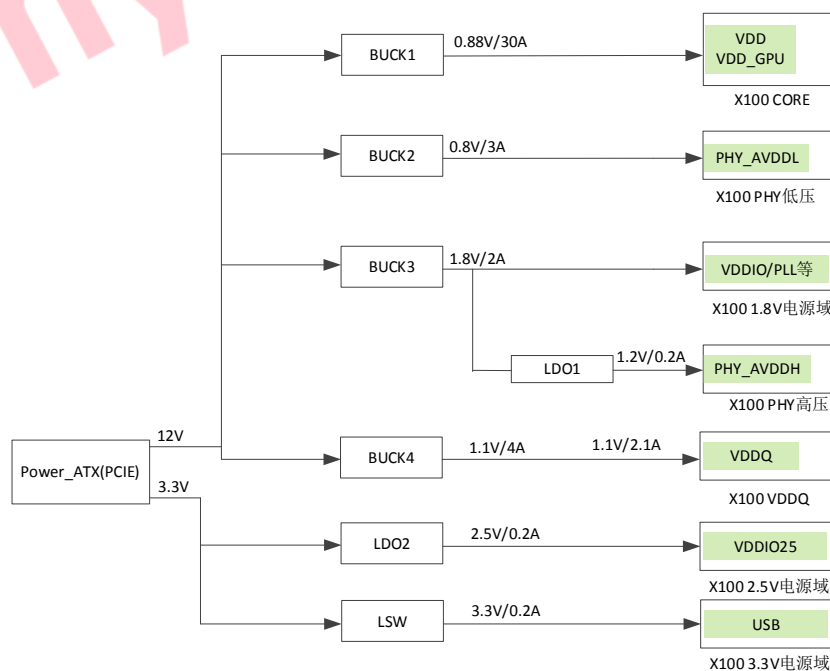


图 4.9 X100板卡形态LPDDR4颗粒电源方案示意图

X100 板卡形态 DDR4 颗粒电源方案示意图如图 4.10 所示，关键点说明如下：

- VDD 和 VDD_GPU 合并供电，BUCK1 持续通流能力建议 20A，OCP 点设置为 30A 以上。
- LSW 前级输入建议增加一个 ESD 保护二极管，防止 ATX 电源毛刺造成芯片损坏，建议实测 ATX 3.3V 电源纹波是否满足 X100 3.3V 电源域要求；
- DDR4 电源视产品方案可以使用 VDDQ/VTT/VPP 三合一的 PMIC，也可以使用分散电源 IC；
- 注：建议电源 IC 上电缓启典型时间在 500 μ s 以上。

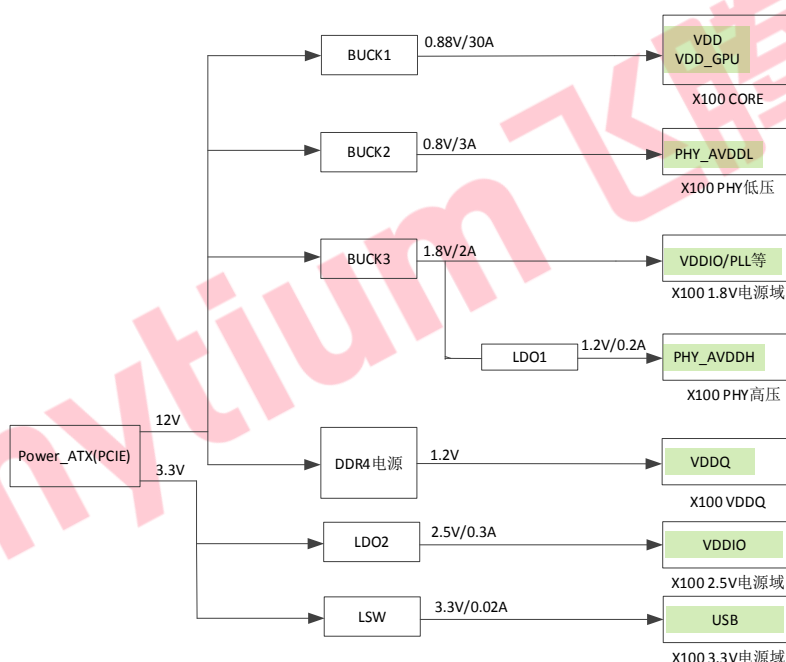


图 4.10 X100板卡形态DDR4颗粒电源方案示意图

4.5 电容选型

为保证每个电源管脚都有一个去耦电容，电源的去耦电容位于 CPU 背面，尽可能靠近引脚，如图 4.11 所示。去耦电容推荐值如下：

- VDD 和 VDD_GPU 选择 0402 封装，10 μ F 陶瓷电容；
- 其他模块去耦电容选择 0402 封装，1 μ F 陶瓷电容；

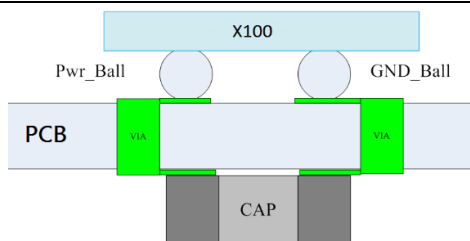


图 4.11 电容放置方式

5 电气特性

5.1 极限工作条件

- a) 核心电压 (VDD) : -0.3~0.93V;
- b) GPU 电压(VDD_GPU): -0.3~0.93V;
- c) 1.1V/1.2V IO 电压范围 (VDDQ) : -0.3~1.8V;
- d) 1.8V IO 电压范围 (VDDIO18_STB) : -0.3~2.0V;
- e) 2.5V IO 电压范围 (VDDIO25_STB) : -0.3~2.85V;
- f) PCIe 模拟电压 (AVDD, AVDDCLK) : -0.3~1.98V;
- g) 1.2V 模拟电压 (AVDDH) : -0.3~2.0V。

5.2 典型工作参数

表 5-1 典型工作参数

参数	符号	最小值	最大值	单位
IO 接口输入高电平	V_{IH}	1.17	--	V
IO 接口输入低电平	V_{IL}	--	0.63	V
IO 接口输出高电平	V_{OH}	1.35	--	V
IO 接口输出低电平	V_{OL}	--	0.45	V

5.3 通用引脚 DC 电气特性

除 DDR、PCIe、SATA、USB3.0 专用信号引脚外，其他信号引脚均为 CMOS 结构的通用引脚，其电气特性如表 5-2、表 5-3 所示，主要包括输入敏感电压，输出驱动电压等信息。

表 5-2 通用pad引脚电气特性(1.8V)

e 符号	符号描述	最小值	典型值	最大值	单位
$V_{DDDD}^{[1]}$	I/O 电压	1.62	1.8	1.98	V
V_{IH}	高电平输入电压	$0.65 \cdot V_{DDDD}$	--	$V_{DDDD} + 0.3$	V
V_{IL}	低电平输入电压	-0.3	--	$0.35 \cdot V_{DDDD}$	V
V_{OH}	高电平输出电压	$V_{DDDD} - 0.45$	--	--	V
V_{OL}	低电平输出电压	0	--	0.45	V
I_I	输入漏电电流	--	--	± 10	μA
I_{OZ}	输出 Z 态漏电流	--	--	± 10	μA
I_{OL}	低电平输出电流	12.2	--	25.3	mA
I_{OH}	高电平输出电流	11.6	--	29.5	mA
V_{T+}	施密特低到高翻转点	--	1.05	--	V
V_{T-}	施密特高到低翻转点	--	0.76	--	V
	上拉电阻	31	47	84	K Ω

	下拉电阻	28	41	67	KΩ
注 1: VDDD 对应 VDDIO18_STB 电源					

表 5-3 通用pad引脚电气特性 (2.5V)

符号	符号描述	最小值	典型值	最大值	单位
$V_{DDD}^{[1]}$	I/O 电压	2.375	2.50	2.625	V
V_{IH}	高电平输入电压	$0.7 \cdot V_{DDD}$	--	$V_{DDD} + 0.3$	V
V_{IL}	低电平输入电压	-0.3	--	$0.3 \cdot V_{DDD}$	V
V_{OH}	高电平输出电压	$V_{DDD} - 0.45$	--		V
V_{OL}	低电平输出电压	--	--	0.45	V
I_L	输入漏电电流	--	--	25	μA
I_{OL}	低电平输出电流	--	--	10.2	mA
I_{OH}	高电平输出电流	--	--	14.3	mA

注 1: VDDD 对应 VDDIO25_STB 电源

5.4 通用引脚 AC 特性

表 5-4 通用pad交流参数 (1.8V)

参数	描述	典型值	最大值	单位	测试条件
PAD 输出上升时间	T_r	0.8	-	ns	$C_L = 22\text{pF}$; $T_C = 25^\circ\text{C}$ $V_{dd} = 1.62$
PAD 输出下降时间	T_f	0.8	-		

表 5-5 通用pad交流参数 (2.5V)

参数	描述	典型值	最大值	单位	测试条件
PAD 输出上升时间	T_r	8.5	-	ns	$C_L = 22\text{pF}$; $T_C = 25^\circ\text{C}$ $V_{dd} = 2.25$
PAD 输出下降时间	T_f	8.5	-		

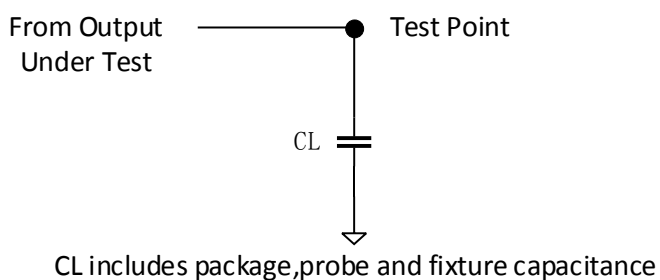


图 5.1 PAD 输出负载电路

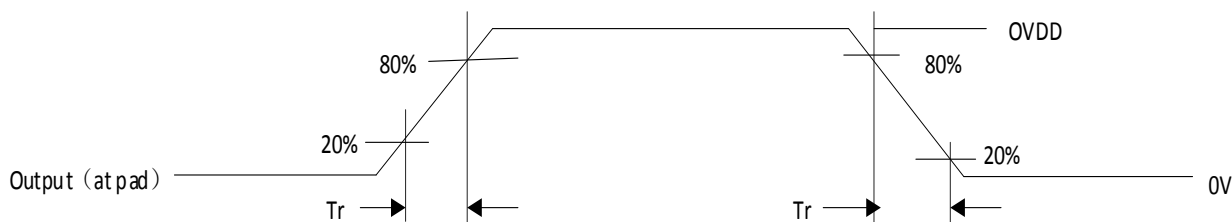


图 5.2 PAD 输出波形

5.5 DDR 引脚电气特性

表 5-6 DDR4 DC输入电压

符号	符号描述	最小值	最大值	单位
VIH_DC	单端输入高电平 DC	Vref+0.075	--	V
VIL_DC	单端输入低电平 DC	--	Vref-0.075	V
VID_DC	差分信号电平绝对值	0.15	--	V

表 5-7 DDR4 AC输入电压

符号	符号描述	最小值	最大值	单位
Vrefac_err	参考电压误差范围	-1%	+1%	VDDQ
VIH_AC	单端输入高电平 AC	Vref+0.1	VDDQ+0.12	V
VIL_AC	单端输入低电平 AC	-0.12	Vref-0.1	V
VID_AC	差分信号电平绝对值	0.2	--	V

表 5-8 LPDDR4 AC/DC输入电压

符号	符号描述	最小值	最大值	单位
VIH_DC	单端输入高电平 DC	0.75*VDDQ	VDD+0.2	V
VIL_DC	单端输入低电平 DC	-0.2	0.25*VDDQ	V
VIH_AC	单端输入高电平 AC	0.65*VDD	VDD+0.2	V
VIL_AC	单端输入低电平 AC	-0.2	0.35*VDD	V
VID	差分信号电平绝对值	0.28	--	V

5.6 PCIe 引脚电气特性

表 5-9 PCIe引脚电气特性

信号	描述	最小	典型	最大	单位
PCIE_UP_RXP[15:0]	PCIe 上行 X16接收串行数据端口	如表 5-13			V
PCIE_UP_RXN[15:0]	PCIe 上行 X16接收串行数据端口	如表 5-13			V
PCIE_UP_TXP[15:0]	PCIe 上行 X16发送串行数据端口	如表 5-12			V
PCIE_UP_TXN[15:0]	PCIe 上行 X16发送串行数据端口	如表 5-12			V
PCIE_DOWN0_RXP[1:0]	PCIe 下行 X2 接收串行数据端口	如表 5-13			V
PCIE_DOWN0_RXN[1:0]	PCIe 下行 X2 接收串行数据端口	如表 5-13			V
PCIE_DOWN0_TXP[1:0]	PCIe 下行 X2 发送串行数据端口	如表 5-12			V
PCIE_DOWN0_TXN[1:0]	PCIe 下行 X2 发送串行数据端口	如表 5-12			V
PCIE_DOWN1_RXP[1:0]	PCIe 下行 X2 接收串行数据端口	如表 5-13			V
PCIE_DOWN1_RXN[1:0]	PCIe 下行 X2 接收串行数据端口	如表 5-13			V
PCIE_DOWN1_TXP[1:0]	PCIe 下行 X2 发送串行数据端口	如表 5-12			V
PCIE_DOWN1_TXN[1:0]	PCIe 下行 X2 发送串行数据端口	如表 5-12			V
PCIE_DOWN[7:2]_RXP	PCIe 下行 X1 接收串行数据端口	如表 5-13			V
PCIE_DOWN[7:2]_RXN	PCIe 下行 X1 接收串行数据端口	如表 5-13			V
PCIE_DOWN[7:2]_TXP	PCIe 下行 X1 发送串行数据端口	如表 5-12			V
PCIE_DOWN[7:2]_TXN	PCIe 下行 X1 发送串行数据端口	如表 5-12			V

PCIE_UP_REFCLK_P	PCIe 上行 X16 差分输入时钟	如表 5-10	MHz
PCIE_UP_REFCLK_N	PCIe 上行 X16 差分输入时钟	如表 5-10	MHz
PCIE_DOWN_REFCLK_P	PCIe 下行差分输入时钟	如表 5-10	MHz
PCIE_DOWN_REFCLK_N	PCIe 下行差分输入时钟	如表 5-10	MHz
PCIE_UP_REXT0	PCIe 上行 X16 pma0 扩展校准电阻	如表 5-10	Ω
PCIE_UP_REXT1	PCIe 上行 X16 pma1 扩展校准电阻	如表 5-10	Ω
PCIE_UP_ATB0	PCIe 上行 X16 pma0 ATB 模拟测试管脚	NC 悬空	
PCIE_UP_ATB1	PCIe 上行 X16 pma1 atb 模拟测试管脚	NC 悬空	
PCIE_DOWN_REXT	PCIe 下行 pma 扩展校准电阻	如表 5-10	Ω

5.7 PHY 电气特性

5.7.1 公用模块电气特性

表 5-10 外部参考时钟电平规范

名称	最小	典型	最大	单位	描述
$R_{TERMEXT}$	40	50	62.5	Ω	内部终端电阻
C_{INEXT}	--	--	5	pF	参考时钟输入阻抗的最大电容值
I_{INEXT}	6	--	16	mA	输入信号电流
V_{IHEXT}	200	--	--	mVpp	输入高阈值差分峰峰值
V_{ILEXT}	--	--	-200	mVpp	输入低阈值差分峰峰值
$V_{REFCLK_MAX_TERM}$	--	--	400	mV	当内部终端使能时，在参考时钟的 bump 上的最大信号端电压值

表 5-11 偏斜特性

名称	最小	典型	最大	单位	描述
$R_{BIASEXT}$	2.98	3.01	3.04	k Ω	需要的外部偏置电阻大小
$C_{BIASEXT}$	--	--	10	pF	在 $R_{BIASEXT}$ 节点上的最大寄生电容值
$V_{BIASEXT}$	425	450	475	mV	在 $R_{BIASEXT}$ 节点上的偏置电压

5.7.2 发送模块电气特性

表 5-12 发送模块电气特性

名称	最小	典型	最大	单位	描述
$V_{TX_out_normal_mode}$	0.8	--	1.2	V	正常模式下的输出电压峰峰值。
$V_{TX_out_low_power_mode}$	0.4	--	1.2	V	低功耗模式下的输出电压峰峰值。
Z_{TX_cal}	80	100	120	Ω	正常模式时，校准后的差分驱动阻抗。

5.7.3 接收模块电气特性

表 5-13 接收模块电气特性

名称	最小	典型	最大	单位	描述
Z_{RX_cal}	40	50	60	Ω	正常模式下，校准后的接收端阻抗（单端）

5.7.4 公共模块电气特性

表 5-14 公共模块电气特性

名称	最小	典型	最大	单位	描述
----	----	----	----	----	----

F _{REFEXT_PCIE_SSC}	99.97	100	100.03	MHz	正常模式下，PCIe 参考时钟频率
------------------------------	-------	-----	--------	-----	-------------------

5.7.5 校准外接电阻参考说明

表 5-15 校准外接电阻参考说明

名称	最小	典型	最大	单位	描述
R _{BMNREXT}	2.98	3.01	3.04	kΩ	外接电阻阻值要求
C _{BMNREXT}	--	--	10	pF	R _{BMNREXT} 节点最大寄生电容
V _{BMNREXT}	583	599.8	616	mV	R _{BMNREXT} 节点电压（仅在 R 处于校准期间）

5.7.6 差分时钟参考说明

表 5-16 差分时钟参考说明

名称	最小	典型	最大	单位	描述
T _r	0.6	--	4.0	mV/ps	上升沿时间
T _f	0.6	--	4.0	mV/ps	下降沿时间
duty Cycle	40%	50%	60%		占空比
jitter	--	--	150	ps	时钟抖动(multiple output frequencies switching)
频偏	~5000	--	--	ppm	展频
	~300	--	+300	ppm	非展频

5.8 SATA 引脚电气特性

电气特性符合 SATA3.0 协议规范，详细可参考规范文档。

表 5-17 SATA TX/TX信号组DC电气特性

符号	说明	最小	最大	单位
V _{IMIN_Gen1i}	1.5Gb/s速率最小输入电压值	325	--	mVppd
V _{IMAX_Gen1i}	1.5Gb/s速率最大输入电压值	--	600	mVppd
V _{IMIN_Gen2i}	3.0Gb/s速率最小输入电压值	275	--	mVppd
V _{IMAX_Gen2i}	3.0Gb/s速率最大输入电压值	--	750	mVppd
V _{IMIN_Gen3i}	6.0Gb/s速率最小输入电压值	240	--	mVppd
V _{IMAX_Gen3i}	6.0Gb/s速率最大输入电压值	--	100	mVppd
V _{OMIN_Gen1i}	1.5Gb/s速率最小输出电压值	400	--	mVppd
V _{OMAX_Gen1i}	1.5Gb/s速率最大输出电压值	--	600	mVppd
V _{OMIN_Gen2i}	3.0Gb/s速率最小输出电压值	400	--	mVppd
V _{OMAX_Gen2i}	3.0Gb/s速率最大输出电压值	--	700	mVppd
V _{OMIN_Gen3i}	6.0Gb/s速率最小输出电压值	240	--	mVppd
V _{OMAX_Gen3i}	6.0Gb/s速率最大输出电压值	--	900	mVppd

表 5-18 SATA AC 电气特性和接口时序

符号	说明	最小	最大	单位
UI _{Gen3}	6.0Gb/s速率的单位间隔	166.6083	167.5583	ps
T _{RISE}	上升时间	62	75	ps
FALL	下降时间	62	75	ps

T _{TX-SKEW}	发送差分对倾斜	--	20	ps
U _{IOOB}	OOB操作数据周期	646.67	686.67	ns
T _{BURST}	COMINIT/COMRESET/COMWAKE 传输的猝发数据长度	103.5	109.9	ns
T _{GAP1}	COMINIT/COMRESET传输的缝隙长度	310.4	329.6	ns
T _{GAP2}	COMWAKE传输的缝隙长度	103.5	109.9	ns

5.9 USB 引脚电气特性

表 5-19 USB接口电气特性

名字	描述	最小值	最大值	单位
VIH	低速/全速输入电平高	2.6	3.6	V
VIL	低速/全速输入电平低	--	0.8	V
VOL	低速/全速输出电平高	0	0.3	V
VOH	低速/全速输出电平高	3	3.6	V

6 通用 PCB 设计指导

6.1 阻抗要求

高速信号布线必须严格满足阻抗要求，以保证信号质量能满足设计要求。BGA 区域的扇出走线和外设芯片或连接器引脚的走线，可根据空间适当放宽要求。

如下列举 DDR 单端 45Ω 和差分 75Ω 信号的阻抗要求，以供参考。

6.1.1 单端微带线



图 6.1 单端微带线

表 6-1 单端微带线

微带线	介电常数 Dk	介质厚度 H/mils	走线宽度 W/mils	走线厚度 T/oz	走线间距 S/mils	单端阻抗 Ω
单端线	3.7	3.0	5.8	0.3+plating	17.4	45

6.1.2 差分微带线

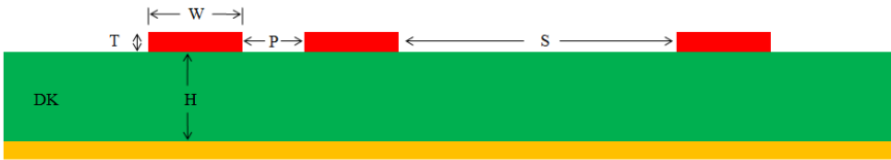


图 6.2 差分微带线

表 6-2 差分微带线

微带线	介电常数 Dk	介质厚度 H/mils	走线宽度 W/mils	差分线间距 P/mils	走线厚度 T/oz	走线间距 S/mils	差分阻抗 Ω
差分线	3.7	3.0	6	5	0.3+plating	18	75

6.1.3 单端带状线

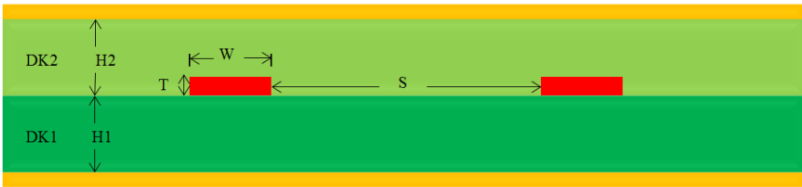


图 6.3 单端带状线

表 6-3 单端带状线

带状线	介电常数	介质厚度	介电常数	介质厚度	走线宽度	走线厚度	走线间距	单端阻抗
-----	------	------	------	------	------	------	------	------

	Dk1	H1/mils	Dk2	H2/mils	W/mils	T/oz	S/mils	Ω
差分线	3.7	5.12	3.8	5.52	5	1.0	15	45

6.1.4 差分带状线

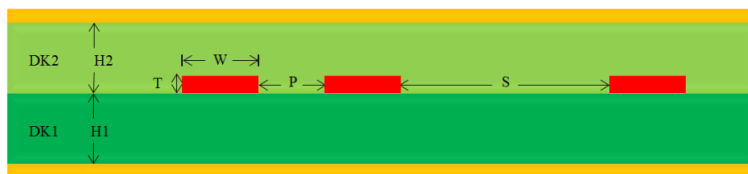


图 6.4 差分带状线

表 6-4 差分带状线

带状线	介电常数 Dk1	介质厚度 H1/mils	介电常数 Dk2	介质厚度 H2/mils	走线宽度 W/mils	走线厚度 T/oz	差分线间距 P/mils	走线间距 S/mils	差分阻抗 Ω
差分线	3.7	5.12	3.8	5.52	5.5	1	4.5	16.5	75

注意：

- 阻抗数值是根据叠层厚度、介电常数以及线宽进行计算得到，表格中数值仅供参考，建议按照实际叠层及线宽控制阻抗。
- 微带线由于表面覆盖绿油的原因，会导致实际阻抗较计算值小，且每个板厂的影响不同，建议联系相应板厂进行调整，该表中给出阻抗是已考虑绿油影响下的阻抗。
- 信号线需保证完整的参考平面，且不可出现跨越参考平面的情况。
- 信号线打孔换层时，需保证换层后参考平面仍保持一致，如果不一致则需用回流孔将换层前后的参考平面连接起来。

6.2 布线区域划分

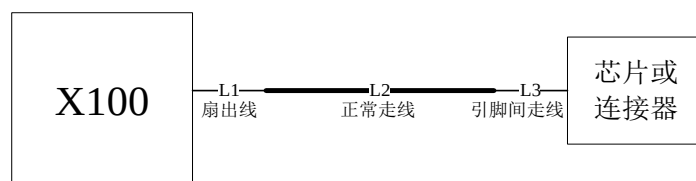


图 6.5 布线区域划分示意图

如图 6.5 上图所示，信号布线划分为三个区域：L1 BGA 扇出区域走线、L2 扇出线到其他模块间的整组走线、L3 连接器或 IC 管脚区域走线。不同区域布线约束要求不同。

L1 芯片扇出部分走线阻抗可不作严格控制，但是建议尽量缩短扇出线部分的走线长度。L1 扇出线的线宽和线间距不建议低于 4 mil 以满足板厂加工工艺要求，同时布线长度不建议超过 700mil，当空间允许时应立即切换到 L2 正常走线。

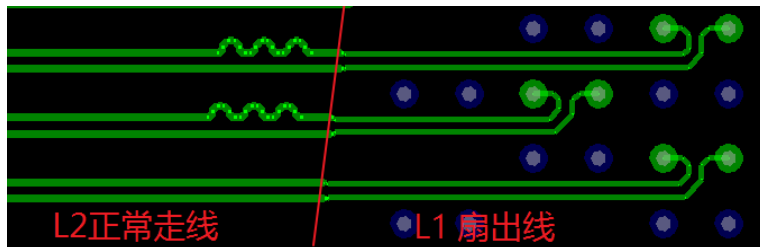


图 6.6 L1 芯片扇出线示意图

L2 正常走线为 L1 末端到其他模块间的整组走线，该走线首先需满足阻抗要求的线宽和线间距，同时保证与其他走线或铜皮保持不低于 5H 的间距(H 为走线距离最近参考平面的高度)，L2 走线在等长绕线时需保证走线自身间距不低于 5H。

L3 引脚间走线为 L2 末端到芯片或连接器间的走线，该走线根据布线情况可适当减小线宽线间距，以保证走线能够布通。

6.3 差分信号布线

对于高速信号差分走线，差分对 P 和 N 两条走线总长度之差不能超过 4mil。建议在芯片扇出时，对较短的走线进行一定的等长补偿，两种等长绕线的参考如下图所示。L1 和 L3 差分走线由于空间有限无法按阻抗要求线宽线距布线，可以忽略阻抗要求，采用 4mil 线宽和线间距布线，当空间满足时应立即按照阻抗要求布线。

L2 差分走线必须严格按照差分形式布线，禁止差分信号间放置过孔和焊盘，对于耦合电容应按照图所示尽量靠近并对齐摆放。

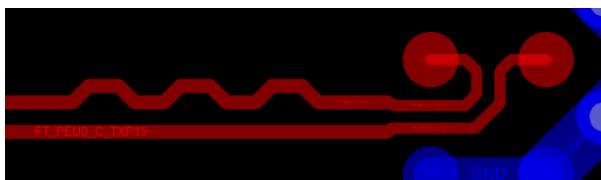


图 6.7 等长绕线参考示意图一

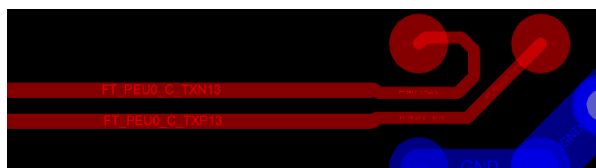


图 6.8 等长绕线参考示意图二

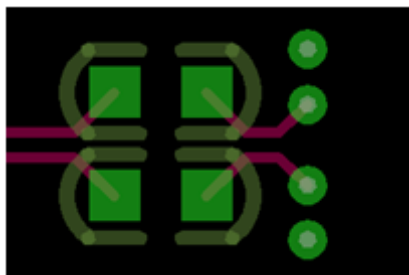


图 6.9 耦合电容摆放参考

6.4 信号回流孔

信号如果需要打孔换层，建议在换层孔附近添加回流孔，回流孔尽量靠近信号孔。如果使用过孔换层，需考虑过孔残桩，同时注意两信号过孔不要放置在平面分割处，如下图所示提供了两种回流孔参考设计，可根据布线需要进行选择。

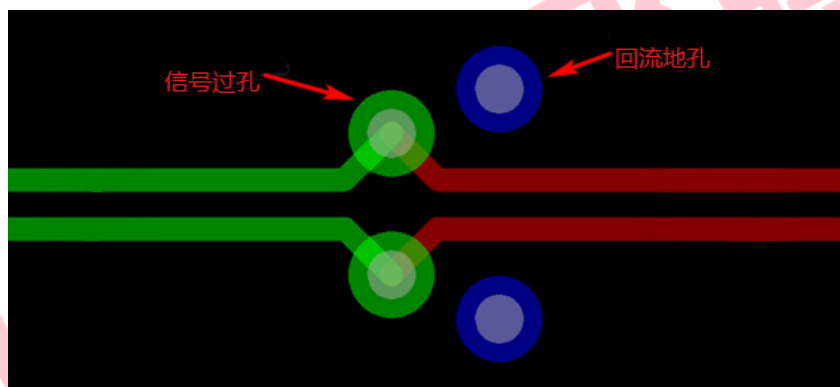


图 6.10 回流孔摆放参考一

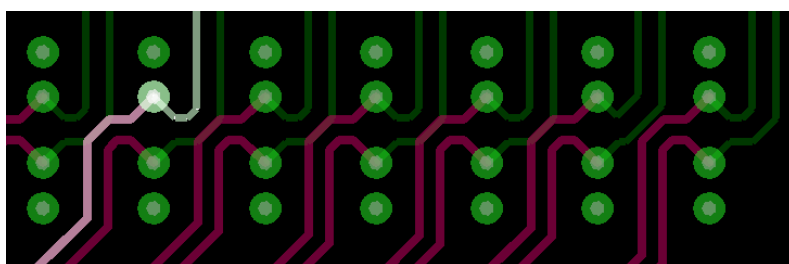


图 6.11 回流孔摆放参考二

6.5 参考平面设计

高速走线需保证参考平面完整，尽量保证没有跨平面分割的情况。如果设计中无法避免跨平面参考，建议在跨平面分割处用旁路电容将回流信号连接起来。

信号走线与参考平面边缘需保持 $5H$ 间距(H 为走线距最近参考平面的高度)。

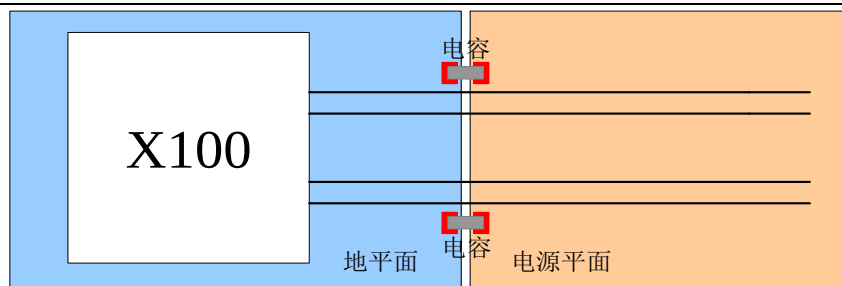


图 6.12 跨平面参考处理

6.6 高速信号残桩

由于残桩会引起信号反射，对于高速信号过长的残桩会带来严重的信号质量问题，因此在高速信号布线时需注意残桩的长度。信号残桩有两种类型，一种是信号换层时的过孔残桩，另一种是信号走线的残桩。

为减小过孔残桩改善信号质量，PCB 设计时可以将信号过孔和连接器通孔的内层无用焊盘去除，必要时还可以对高速信号过孔使用背钻或盲埋孔工艺。

如下图以八层板为例提供了四种换层过孔示意图，孔 A 当走线在 L1-L8 换层时无残桩；孔 B 当走线在 L1-L6 换层时残桩长度较小；孔 C 当走线在 L3-L6 换层时残桩长度稍大；孔 D 当走线在 L1-L3 换层时残桩长度最大，高速信号走线避免使用此类换层方式。

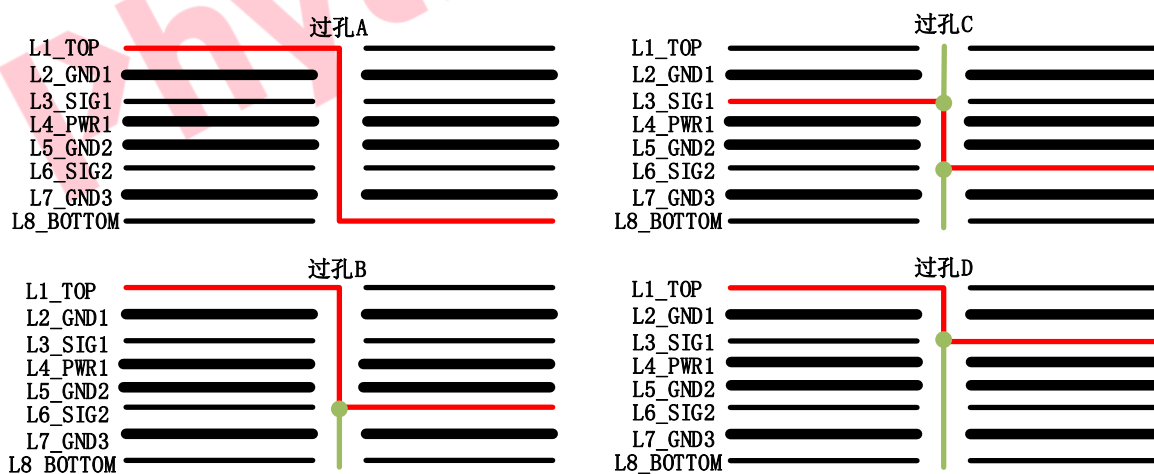


图 6.13 信号换层过孔残桩示意图

对于信号走线的残桩，首先在 PCB 设计时可以使用规则检查将无用的走线残桩去除，其次如下图所示，在高速差分信号上存在下拉电阻，此时若采用图 6.14 所示的布局布线方式会存在一截走线残桩，推荐使用图 6.15 的布局布线方式将走线的残桩最小化。

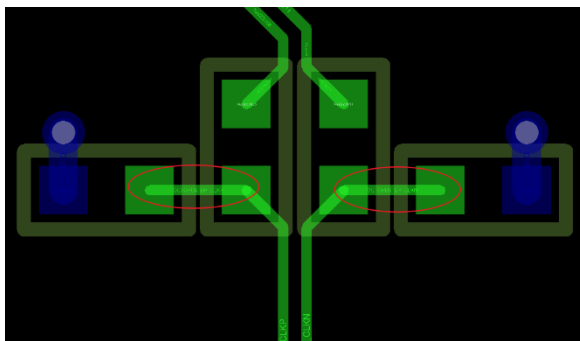


图 6.14 信号走线的残桩示意图一

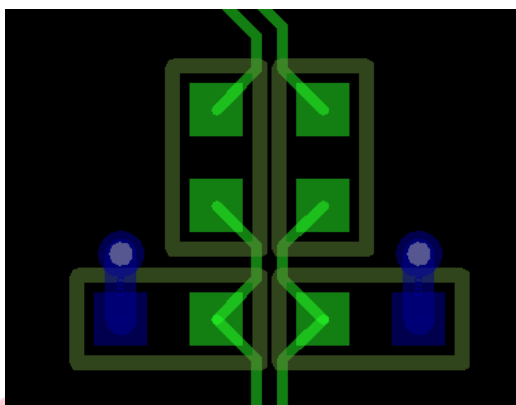


图 6.15 信号走线的残桩示意图二

6.7 信号串扰

由于信号速率越来越快和走线密度越来越高，串扰成为高速电路设计中最常见的问题，对于减小信号串扰有以下几点建议：

- 增大走线间距是减小信号串扰最有效手段；
- 可以通过以下措施来减小串扰如：减小平行走线长度、相邻层正交走线、优先使用带状线、对敏感信号包地处理等。

6.8 阻抗不连续

在高速电路设计中，阻抗不连续不仅会引起信号自身的反射，还会放大其他方面的影响。

PCB 设计中有以下几种常见的阻抗不连续情况：走线自身宽度的变化；串接在走线上的器件和过孔焊盘及过孔尺寸；介电常数变化引起的阻抗不连续；走线分支等；

走线自身宽度的变化引起的阻抗不连续，按照章节 6.2，L1 和 L3 由于空间限制可能无法按阻抗要求布线，可以忽略阻抗要求，减小线宽和线间距布线，当空间满足时应立即按照阻抗要求布线。

串接在走线上的器件和过孔焊盘及过孔尺寸，走线上的焊盘会带来较大的阻抗降低，首先可以优化焊盘尺寸，其次可以对焊盘区域下的相邻层平面镂空处理，增大到参考平面的距离来适当补偿阻抗；对于过孔导致的阻抗变化，可以通过减小过孔焊盘和孔径，删除内层无用焊盘，同样也可以对焊盘下的相邻层平面镂空处理等方式来减小阻抗变化。

介电常数变化引起的阻抗不连续，该情况一般是发生在表底层走线上，微带线上方的丝印、标签纸、金属件等异物都会对走线阻抗带来影响，首先高速信号尽量采用带状线，若必须走微带线就要注意不要在高速信号走线上放置异物。

走线分支结构也会带来阻抗不连续，在分支点处阻抗会降低。在 PCB 设计时除了尽量减小分支走线长度，还可以适当增大分支走线的阻抗来补偿节点处的阻抗变化。

6.9 低速接口 PCB 设计建议

- 对于单端低速信号除特殊要求外，一般需按 50Ω 控制走线阻抗。
- CAN 信号单端走线按 50Ω 阻抗控制，过收发器后走线需按差分耦合形式走线。
- 整组的信号布线使用过孔数量保持一致。
- 尽量保证走线参考平面完整，参考平面为地。
- 低速接口上 CLOCK 信号与其他信号需保持 5H 间距，避开噪声区域必要时可以包地处理。
- 低速信号布线也需要尽量缩短走线长度，远离开关电源、晶振等噪声源，以保证信号质量。
- ESD 器件要紧挨接口放置，走线要先经过 ESD 器件再到外部接口。

6.10 电源 PCB 设计建议

- VDD 和 VDDQ 电源平面相邻层必须有完整地平面对，以保证电源有较短的回流路径。
- 大电流电源如 VDD、VDD_GPU、VDDQ，需要将 VRM 电源反馈信号接到距离 VRM 最远的电源平面末端位置，反馈信号+/-走线采用类差分对走线方式，反馈信号换层过孔不能与其他平面上铜皮相连，以保证 VRM 能采样到电源平面最末端实际电压。

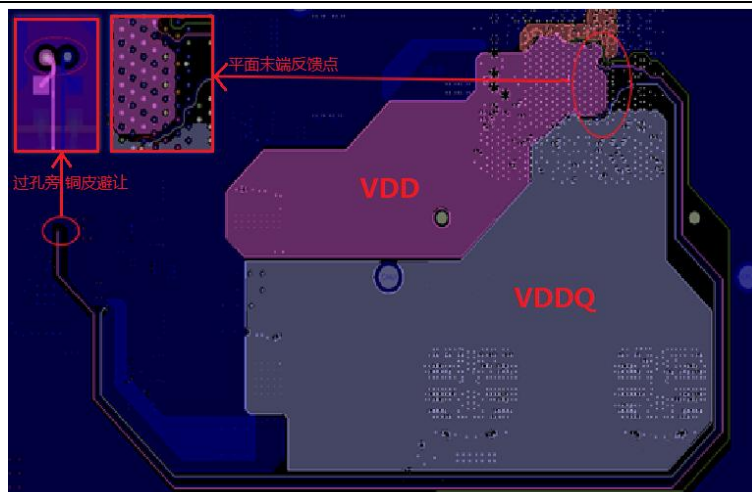


图 6.16 电源反馈信号走线示意图

- 大电流电源需要在电源层采用铺平面方式进入芯片，小电流电源可以采用较粗走线方式进入芯片，芯片所有电源和地引脚均需扇出到相应平面上，加粗电源和地引脚扇出线线宽。

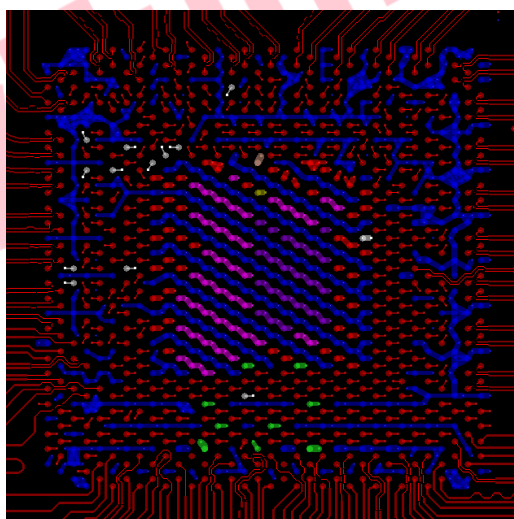


图 6.17 电源信号 BGA 扇出示意图

6.11 PCB 叠层设计

6.11.1 8 层板叠层

表 6-5 8 层板叠层设计一(PCIe 卡和台式机场景)

层	材料	厚度(mil)	DK(1GHz)
	阻焊	0.50	3.00
L1_TOP	0.3oz+Plating 铜	1.30	
	PP 2116*1	4.28	4.25
L2_GND1	1oz 铜	1.30	

	Core	3.94	4.25
L3_SIG2	1oz 铜	1.30	
	PP 106+1080*2	7.18	3.95
L4_PWR	1oz 铜	1.30	
	Core	20.80	3.90
L5_GND2	1oz 铜	1.30	
	PP 106+1080*2	7.18	3.95
L6_SIG3	1oz 铜	1.30	
	Core	3.94	4.25
L7_GND3	1oz 铜	1.30	
	PP 2116*1	4.28	4.25
L8_BOTTOM	0.3oz+Plating 铜	1.30	
	阻焊	0.50	3.00
板厚:	1.60(±0.16)mm	63(±6.30)mil	

表 6-6 8 层板叠层设计一(笔记本场景)

层	材料	厚度(mil)	DK(1GHz)
	阻焊	0.50	3.00
L1_TOP	0.3oz+Plating 铜	1.30	
	PP 1067*1	2.60	3.83
L2_GND1	0.5oz 铜	0.65	
	Core 1068*1	3.00	4.23
L3_SIG2	0.5oz 铜	0.65	
	PP 1078*3	9.70	3.98
L4_PWR	1oz 铜	1.30	
	Core 1078*1	2.50	4.28
L5_GND2	1oz 铜	1.30	
	PP 1078*1	9.70	3.98
L6_SIG3	0.5oz 铜	0.65	
	Core 1068*1	3.00	4.23
L7_GND3	0.5oz 铜	0.65	
	PP 1067*1	2.60	3.83
L8_BOTTOM	0.3oz+Plating 铜	1.30	
	阻焊	0.50	3.00
板厚:	1.06(±0.10)mm	41.9(±4.19)mil	

7 封装特性说明

7.1 封装尺寸

X100 标准版、X100 基础版、X100 工业版和 Z100 工业版(无 GPU)的封装机械尺寸如图 7.1，X100 移动版(无盖)、X100 标准版(无盖)和 X100 基础版(无盖)三款的封装机械尺寸如图 7.2。

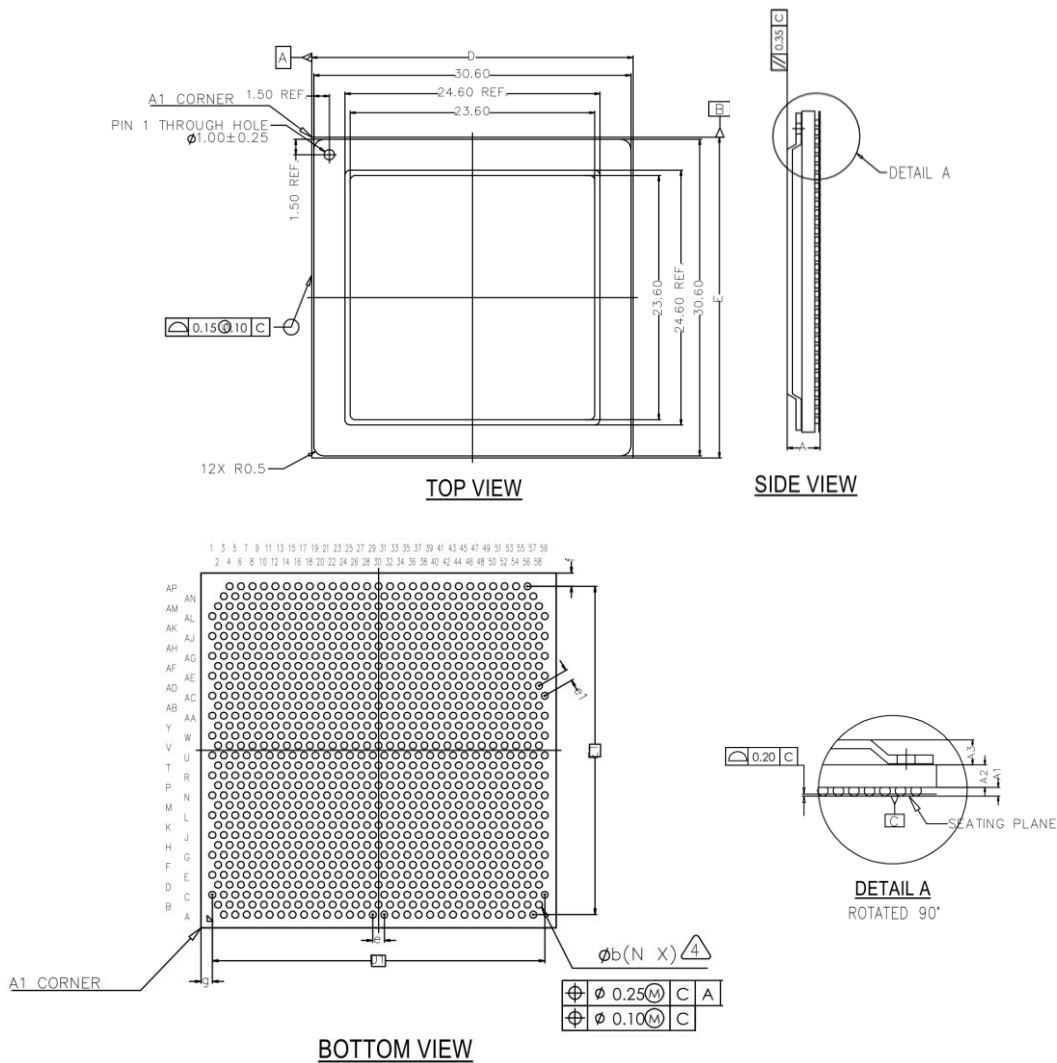


图 7.1 X100标准版机械尺寸图

表 7-1 X100标准版机械尺寸数据

标记	最小值	推荐值	最大值	单位
A	2.950	3.170	3.380	mm
A1	0.400	0.500	0.600	mm
A2	1.146	1.270	1.386	mm

A3	1.300	1.400	1.500	mm
b	0.500	0.600	0.700	mm
D	30.900	31.000	31.100	mm
E	30.900	31.000	31.100	mm
D1	29.000			mm
E1	28.710			mm
e	1.000			mm
e1	1.003			mm
g	1.000			mm
f	1.150			mm
N	997			个

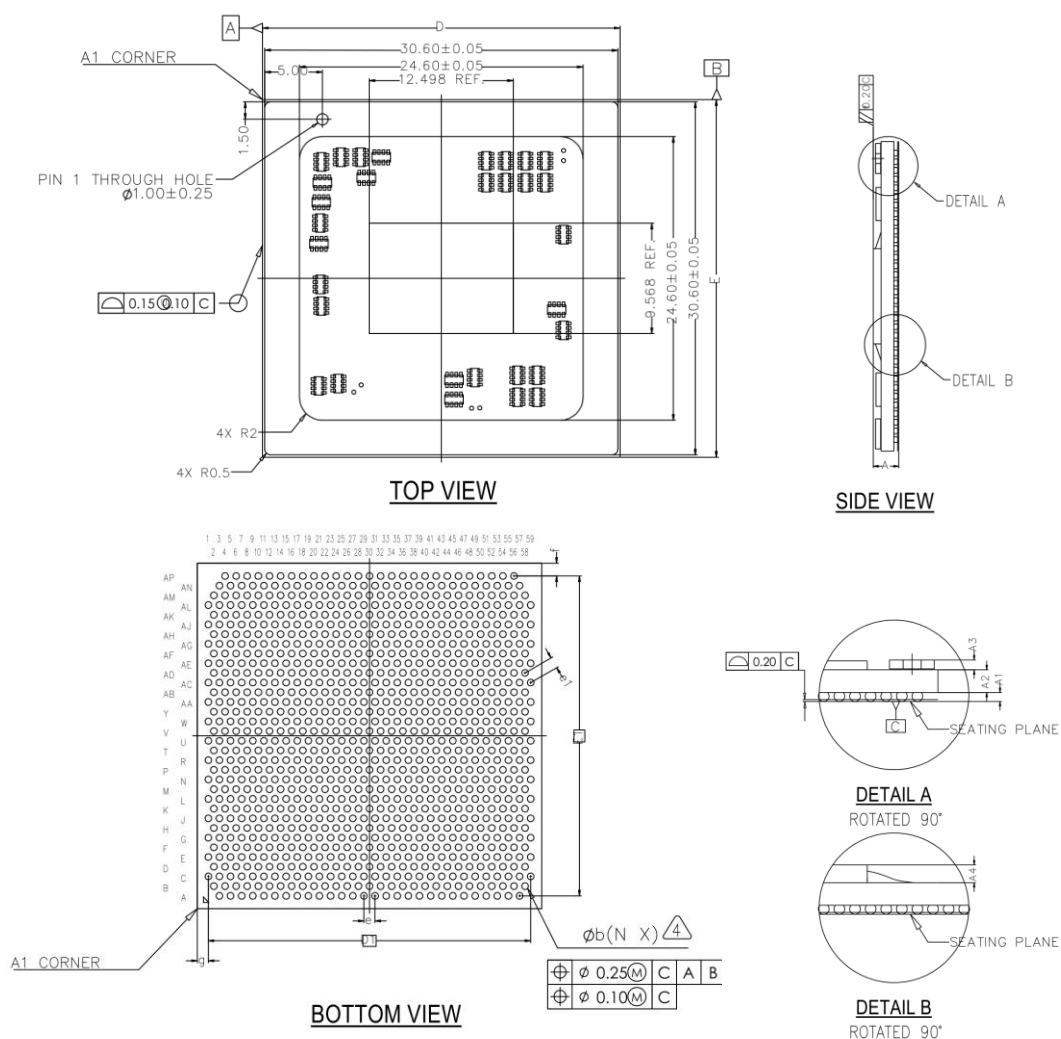


图 7.2 X100移动版(无盖)机械尺寸图

表 7-2 X100 移动版(无盖)机械尺寸数据

标记	最小值	推荐值	最大值	单位
A	2.215	2.445	2.675	mm

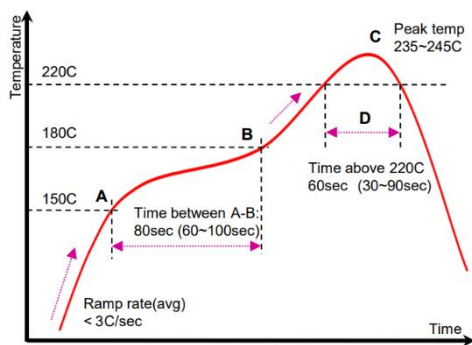


图 7.4 推荐装焊温度曲线

	节点	推荐值	最大值	最小值
A	预热开始节点	150℃	—	—
B	预热结束节点	180℃	—	—
A-B	预热处理时间	80s	100s	60s
C	峰值温度节点	240℃	245℃	235℃
D	温度 220℃ 以上持续时间	60s	90s	30s

注：

SAC305 锡膏不同生产厂商推荐的焊接曲线可能略有差异，一般按中心值设定管理。均能保证焊接效果；

测温板请按照实物板合理布局(CPU 位置建议从 PCB 底部钻孔，将 Sensor 埋入 CPU 焊球区域，以确保测试状态与实际焊接状态一致)。